

FPGAのI/O端子を理解して使っていますか

—— 振幅調整やインピーダンス調整，伝送規格への対応が可能

三上廉司

FPGAのI/O端子は出力電流や出力信号の形態を選択できる。その反面，そのしくみを理解しないで使っていると思わぬむだやトラブルが生じることがある。ここでは，米国Altera社の「Cyclone II」と米国Xilinx社の「Spartan-3」を例に，FPGAのI/O端子のしくみや機能を簡単に整理する。 (編集部)

高性能化と低価格化は，エレクトロニクス分野とそれを支える半導体技術の要であり，これを実現するものがプロセスの微細化技術です。今日のプロセス技術は，90nmからさらに65nmを目ざして進んでいます。そしてこのような微細化に伴いLSIの動作電圧も低くなっています。FPGAのコア電圧も90nmの場合は1.2V，65nmではさらに1Vと低下しています。

これに対してI/O端子は，さまざまなインターフェース規格を満足させるために，つまり，より高い電圧振幅を入力するために，コアとは別の電源電圧を必要とします。また，周辺回路にはFPGAのサポート外の電圧振幅のインターフェースも存在します。

今日のシステムでは，基板上にコア電源やI/O端子用電源，周辺回路用電源と，複数の異なる電源電圧が存在します。また，異なる電圧振幅や異なる規格信号をもつLSIを相互にインターフェースしなければなりません。その接続を誤ると回路動作に問題が生じ，最悪の場合にはデバイスの破壊に至ることがあります。

FPGAの進化は高集積度化の歴史といえますが，これは同時に基板上の周辺LSIを内部へ取り込んできた歴史でもあります。最近のFPGAはマイクロプロセッサをハード・

マクロで内蔵したり，積和演算ブロックを活用してデジタル信号処理を実現できます。またさまざまなI/O機能をプログラマブルに実現できるため，多くのデバイスと直接インターフェースできます。しかし，最近のFPGAでは，I/O端子の電圧振幅が5Vといった古い(?)規格はサポートしていません。このような場合，トレラント入出力で使うこととなりますが，各デバイスのアプリケーション・ノートに書かれた条件を守って使う必要があります。

ここでは米国Altera社の「Cyclone II」と米国Xilinx社の「Spartan-3」を例にとって考えてみます。

● FPGAのI/O端子の形態は柔軟に設定できる

Spartan-3は，表1に示す18種のシングルエンド規格と8種の差動規格を持ちます。また，FASTとSLOWの二つのスルー・レートの設定ができるうえ，LVTTTLとLVCMOSの駆動電流は，2mAから24mAまで，7段階に選択できます(表2)。信号振幅範囲は1.14Vから最大3.45Vまでの設定が可能です。

Altera社のCyclone IIでもほぼ同じI/O規格をサポートしています。しかし，例えばシングルエンド規格ではLVCMOS12がCyclone IIになく，差動規格ではHSTL-15がSpartan-3にないなどの相違がありますから，データシートで確認してから使う必要があります。

両者のデバイスに共通する使用上の注意は，各デバイスは複数のI/Oバンクを持っており，そのバンクごとに異なる V_{CCO} を設定したり，サポートするI/O標準が少しずつ異なっている点です。

KeyWord

トレラント入出力，Cyclone II，Spartan-3，ESD，クランプ・ダイオード，LVCMOS33，DCI，IBISモデル，Xilinx Anser，ターミネーション

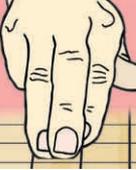


表1⁽¹⁾
Spartan-3は、18種のシングルエンド規格と8種の差動規格を持つ

規格	説明	V _{CC0} [V]	クラス	シンボル (IO STANDARD)	DCI オプション
シングルエンド					
GTL	gunning transceiver logic (ガンニング・トランシーバ・ロジック)		終端	GTL	あり
			プラス	GTLP	あり
HSTL	high speed transceiver logic (高速トランシーバ・ロジック)	1.5		HSTL_	あり
				HSTL_	あり
		1.8		HSTL_ _18	あり
				HSTL_ _18	あり
LVCMOS	low voltage CMOS (低電圧CMOS)	1.2		LVCMOS12	なし
		1.5		LVCMOS15	あり
		1.8		LVCMOS18	あり
		2.5		LVCMOS25	あり
		3.3		LVCMOS33	あり
LVTTTL	low voltage TTL(低電圧TTL)	3.3		LVTTTL	なし
PCI	peripheral component interconnect (ペリフェラル・コンポーネント・インターコネクト)	3.0	33MHz	PCI33_33	なし
SSTL	stub series terminated transceiver logic (スタブ・シリーズ・ターミネーテッド・ロジック)	1.8	(± 6.7mA)	SSTL18_	あり
			(± 13.4mA)	SSTL18_	なし
		2.5		SSTL2_	あり
				SSTL2_	あり
差動					
LDT (ULVDS)	lightning data transport (ハイパー・トランスポート)	2.5		LDT_25	なし
LVDS	low voltage differential signaling (低電圧差動信号)		標準	LVDS_25	あり
			バス	BLVDS_25	なし
			拡張モード	LVDSEXT_25	あり
LVPECL	low voltage positive emitter coupled logic (低電圧ポジティブ・エミッタ・カップル・ロジック)	2.5		LVPECL_25	なし
RSDS	reduced switching differential signaling (低振幅差動信号)	2.5		RSDS_25	なし
HSTL	high speed transceiver logic (差動高速トランシーバ・ロジック)	1.8		DIFF_HSTL_ _18	あり
SSTL	stub series terminated transceiver logic (差動スタブ・シリーズ・ターミネーテッド・ロジック)	2.5		DIFF_SSTL2_	あり

図1は、Altera社のCycloneファミリである「EP2C5」と「EP2C8」のI/Oバンクの配置で、パッケージの上下と左右に配置されています。両社ともさらに大きな品種では、8バンクのデバイスもあります。また各バンクにはそれぞれクロックやV_{CC}、V_{SS}、V_{CC0}、I/O端子があります。バンクごとに異なった特性があるので、仕様に応じてデバイスの上下左右のいずれのバンクの端子を使うかを十分に調べておく必要があります。

さて、Xilinx社のSpartan-3は、最大3.3Vの信号振幅のI/O規格をサポートしますが、5V振幅の信号のサポートはありません。図2はSpartan-3のI/O端子付近の内部回路です。I/O端子のパッドの直近には、出力用にプルアップ抵抗とプルダウン抵抗が接続され、これにはクランプ・ダイオードが並列に接続されています。このクランプ・ダイオードは、ESD(electrostatic discharge; 静電気放電)や

表2⁽¹⁾ LVTTTLとLVCOMSの駆動電流値

2mAから24mAまで7段階に選択可能。

信号規格 (IO STANDARD)	駆動電流 [mA]						
	2	4	6	8	12	16	24
LVTTTL	✓	✓	✓	✓	✓	✓	✓
LVCMOS33	✓	✓	✓	✓	✓	✓	✓
LVCMOS25	✓	✓	✓	✓	✓	✓	✓
LVCMOS18	✓	✓	✓	✓	✓	✓	
LVCMOS15	✓	✓	✓	✓	✓		
VCMOS12	✓	✓	✓				

過電圧からI/O端子を保護しています。I/O端子は、この上側のクランプ・ダイオードを経由してV_{CC0}に接続されています。

● 十分にしくみを理解したうえで使おう

このI/O端子をLVCMOS33に設定して、5Vの信号を加えたらどうなるでしょうか。LVCMOS33ではV_{CC0}に3.0V

