

クロック・データ・リカバリ 回路の機能を デジタル・シミュレータで 検証する

—Verilog HDLでアナログ要素をモデリング



在原栄一

ここでは、ミックスド・シグナル(アナログ・デジタル混在)回路を、Verilog HDLシミュレータを使って検証する手法を紹介する。アナログHDLなどに対応する高価なシミュレータを用意しなくても、低コストの環境で回路のふるまいを確認できる。サンプルは、トランシーバLSIなどに使われているクロック・データ・リカバリ回路である。(編集部)

一般的なミックスド・シグナルLSIの機能検証手法を議論する場合、対象となる回路によって最適と思われる検証手段が異なります。例えば、A-D変換やD-A変換、PLL(phase-locked loop)回路、PLL回路を含んだ機能ブロック(今回、例として挙げたクロック・データ・リカバリ回路や周波数シンセサイザなど)、電源回路、RFフロントエンドを含んだ機能ブロック(ミキサ回路を含んだ機能ブロックなど)、LCDドライバ回路の検証において、一つの手法だけで対処するのは困難です。ただ、いずれの分野も検証時間のかかるアナログ部をどう取り扱うかが一つのポイントになります。

今回はPLLをベースにしたクロック・データ・リカバリ回路を例として、Verilog HDLを用いた機能検証を行います。Verilog HDLをアナログ機能ブロックのビヘイビア・モデルとして採用する利点として、MATLABやC言語のモデルよりも最終的なレイアウト情報に近いことが挙げられます。A-DコンバータやD-Aコンバータのような離散時間的なアナログ機能ブロックのビヘイビア・モデルの記述にVerilog HDLを用いたケースは珍しくありませんでした。しかし、PLLのような連続時間的なアナログ機能ブロックのビヘイビア・モデルをVerilog HDLで記述する例は、それほど多くありませんでした。

以降では、対象となるクロック・データ・リカバリ回路を紹介し、検証方法やビヘイビア・モデルの内容、シミュレーション結果について解説します。

1 クロック・データ・リカバリ回路

現在の高性能通信システムでは、データ通信に1Gbps以上の送信速度が要求されるケースがしばしばあります。

● 高速データ伝送ではクロック・データ・リカバリが必須
一般的なシングルエンド標準I/O規格では、250MHz近辺の周波数でノイズ制約に直面すると言われています。これに対して差動標準I/O規格では、コモン・モードの除去によって、より少ないピン数で高速なデータ送信を可能にしました。しかし、差動標準I/O規格でも、1Gbps近くなると、クロック・スキューが問題となってきます。

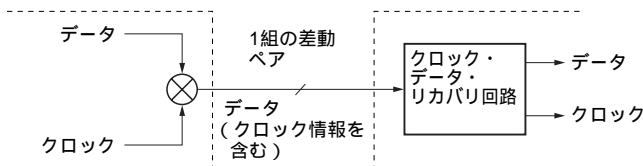


図1 CDRによるデータの送受信⁽¹⁾
クロック情報を 1個のストリームとして転送 受信データからクロックを再生
含んだデータを送信 (クロック情報を含む)

図1 CDRによるデータの送受信⁽¹⁾

CDRによるデータの送受信では、受信データからクロックを再生する。IC外のクロック・スキューの問題を回避し、高速データ転送は実現できる。

KeyWord

ミックスド・シグナル, アナログ・デジタル混在, Verilog HDL, アナログHDL, クロック・データ・リカバリ, CDR, VeritakWin, M系列, 疑似乱数, ルンゲクッタ法

クロック・データ・リカバリ(CDR : clock data recovery)は、受信側においてデータ列からクロックを再生する方式であり、受信側IC外のクロック・スキューの問題を回避し、データとクロックの同期を容易にします(図1)。その反面、CDRではデータが基本的にNRZ(non return zero)形式であるため、データ列からVCO(voltage controlled oscillator ; 電圧制御発振器)の適正な発振中心周波数を求めるのにリファレンス周波数が必要となります。もしくは、DLL(delay locked loop)などを使用したより複雑な回路を付加しなければなりません。

なお、CDRでは、データおよび内部生成クロックのジッタ量(例えば、外来ノイズや、ループの持つ周期性やデバイス・ノイズなどに起因するノイズ)やロックするまでの時間などが、性能を決める指標になります。また、ユーザ側から見ると、リファレンス・クロックが不要になる、広い範囲のデータ・レート(クロック周波数)に対応できる、ローパス・フィルタ(LPF : low pass filter)用の外付けキャパシタが不要になる、VCOを内蔵する、といった特徴が望まれます(現在、半導体メーカーから提供されている多くのカスタム品で、実現されつつある)。

● 10Gbpsに対応するサンプル回路

CDRは、現在、比較的多くの半導体メーカーからカスタム品、もしくは機能ブロックとして提供されています。ここでは、CDRのアーキテクチャと回路について、数年前にIEEE Solid State Circuits誌に掲載された論文を例に説明

します⁽²⁾。仕様は10Gbps(クロック周波数は5GHz)です。使用プロセスは0.18 μmプロセスのCMOS技術で、VCOを内蔵しています(実際の製品として考えた場合、レイアウト設計への負担も含めて、とても難しい仕様のように思われる)。このCDRの例を、今回の機能検証の対象とします。

図2がCDRのアーキテクチャです。VCOの周波数を高くしたくないので、10Gbpsのデータ・レートを実現するのに5GHzのクロックの半周期に対して1個のデータを割り当てています。また、ロック可能な周波数範囲を広げる目的、およびロックするまでの時間を短縮する目的で、位相検出・比較回路(ここではPDと呼ぶ)だけでなく、周波

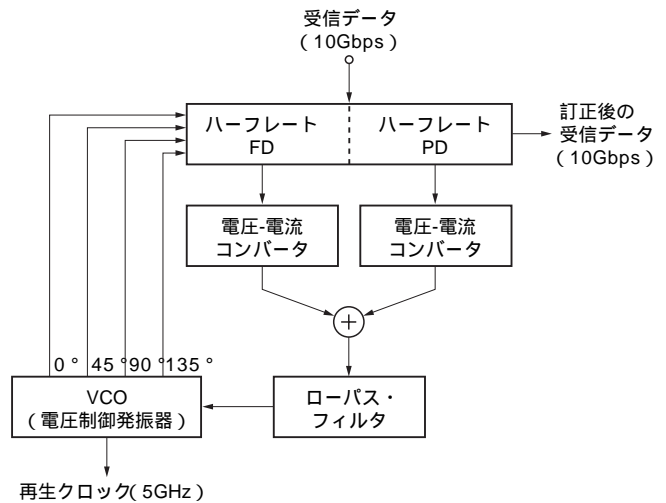
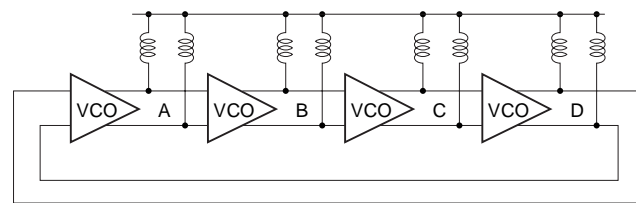
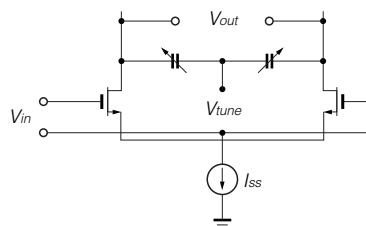


図2 CDRのアーキテクチャ例

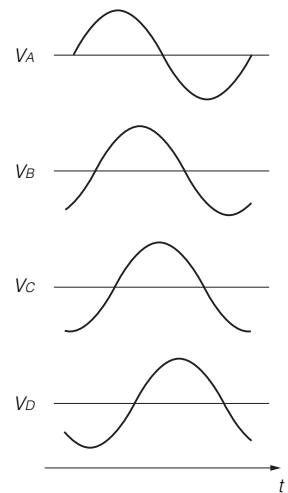
5GHzクロックで10Gbpsのスループットを得られるアーキテクチャとなっている。



(a) 0°, 45°, 90°, 135°の位相差を持つ正弦波電圧生成回路



(c) VCO回路



(b)(a)の各ノードに対する電圧

図3

VCOチェーン回路

4個のVCOを縦列接続することで、0 (deg), 45°, 90°, 135°の位相差を持つ正弦波電圧を生成している。