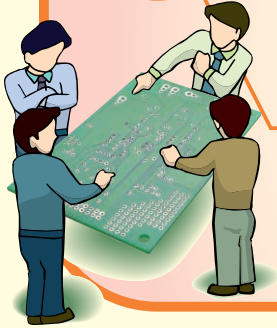


256ピン, 1156ピンBGAからの配線引き出しを4層, 8層基板で設計する BGAパッケージからの配線引き出しを体験する



城野幸男

BGA (ball grid array) 周りの配線の実例を紹介します。実際にプリント基板設計ツールを使って、端子ピッチ1.0mmの256ピンBGAと1156ピンBGAの端子から配線を引き出します。使用するプリント基板設計ツールはオーストラリアAltium社のAltium Designer 6です。(筆者)

ここではプリント基板設計ツールの自動機能(自動引き出し配線機能)を使って配線を行います。自動機能を使うと労力を省くことができますが、マニュアルでの設計のように最適化された配線結果を得ることは困難です。このため、ここでは配線品質の向上よりもむしろ省力化の手段として自動機能を活用します。

本誌に付属しているDVD-ROMには、Altium Designer 6のトライアル版が含まれているので、ここで紹介する配線作業を試すことができます。

1. 設計構想を固める

配線作業を始める前にまず、適用するデザイン・ルールを決めます。そして次に引き出しに必要な層数を見積もります。さらにその後、実際に使用するBGAパッケージの端子配列を前提にして、全端子からの配線の引き出しが可能かどうかを確認します。

● 適用するデザイン・ルールを決める

今回は、比較的製造が容易な以下のようなデザイン・ルールを適用することにします。

- 線幅と線間クリアランスの標準値を0.15mmとし、最小値を0.1mmとする(図1)。
- ピア・サイズは0.5mmで、穴径は0.3mmとする(図2)。

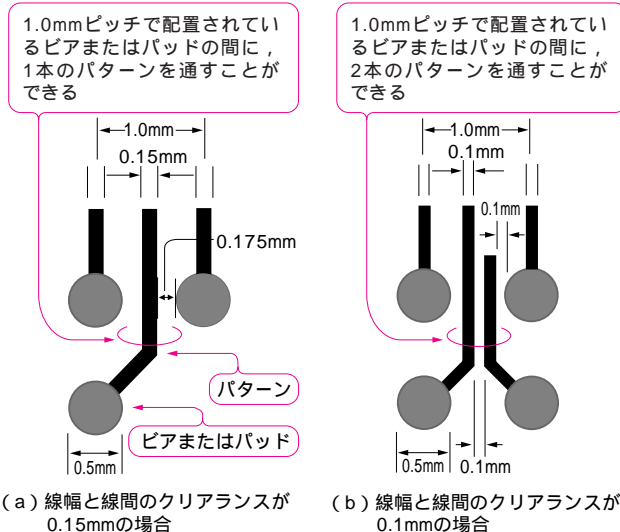


図1 線幅と線間クリアランス

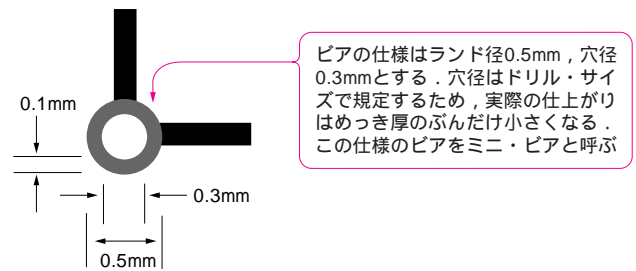


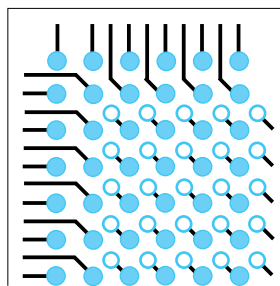
図2 ピアの仕様

Keyword

Altium Designer 6, 貫通ビア, パッド, ビア, VIA, 内層クリアランス, ラツツネスト, ピン・スワップ, 自動配線, 伝送線路シミュレーション, 1156ピンのBGA, 256ピンのBGA, Spartan- E, Spartan-3

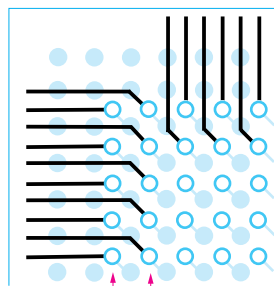
図3
引き出し可能な配線の本数

線幅と線間クリアランスを0.15mmのルールで配線する場合の引き出し経路の例と、引き出し可能な本数を示す。表面層 (Top Layer と Bottom Layer) において、それぞれ2列の引き出しが可能。内層からは1列しか引き出せない。線幅と線間クリアランスを0.1mmのルールで配線する場合には、層あたり1列多く引き出せる。つまり表面層で3列、内層で2列の引き出しが可能になる。



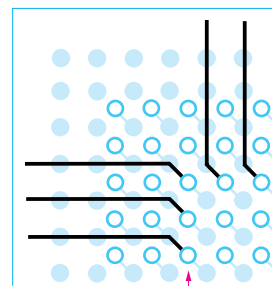
パッドから直接2列の引き出しが可能

(a) 部品面 (Top Layer)



ビアから2列の引き出しが可能

(b) はんだ面 (Bottom Layer)



ビアから1列の引き出しが可能

(c) 内装 (Inner Layer)

- 貫通ビアだけを使用。ブラインド・ビアやベリード・ビアは用いない。
- パッド・オン・ビアを用いない。
- ビルドアップ基板ではなく、一般的な多層基板を用いる。線幅とクリアランスの最小値「0.1mm」は、平均的な多層基板メーカーでも製造が可能なルールです。しかしこの値は、歩留まりを上げるのが難しい水準なので、スペースに余裕がある個所には0.15mmのルールを適用します。

● 引き出しに必要な配線層数を見積もる

線幅とクリアランスを0.1mmで設計すると、パッド間またはビアの間に最大2本の線を通すことができます。この部分に何本の配線を通すかにより、一つの層で引き出せる

端子の列数が決まってしまう。例えばこの部分に1本通せば1列または2列の引き出しができます(図3)。また、2本通せば2列または3列引き出せます。

電源とグラウンド端子は配線を外側に引き出さず、ビアによって直接、電源/グラウンド層に接続します。BGAでは通常、電源/グラウンド端子がパッケージの中央付近に集中的に置かれているので、中央付近の端子からは配線を外側に引き出す必要はありません。このような条件を考慮すると256ピンのBGAで2層の配線層、1156ピンの場合でも6層の配線層があれば、すべてのI/O端子からの引き出しができるはず。もちろんこれ以外に電源層とグラウンド層が必要になりますから、必要な基板の層数は256ピンで4層、1156ピンで8層ということになります。

● 実際に使用する部品と回路を前提にして基板の層数が足りることを確認する

次に、実際に使用するBGAのピン配列と回路を前提にして、予測した通りの層数で配線の引き出しが可能かどうかを確認します。電源とグラウンド端子の配列が引き出しの難易度に影響します。またBGAに未使用の端子がある場合には、そのぶん余裕が生じます。この確認は机上で行うこともできますが、プリント基板設計ツールの画面に表示されるラツネストの状態を調べたり、配線を試行してみることによって、より確実に行うことができます(図4)。また、LSIメーカーから提供されている引き出しの事例も大変役立ちます。今回はLSIメーカーの資料とプリント基板設計ツールの画面によって予測どおりの層数で引き出しが可能であることを確認しました。

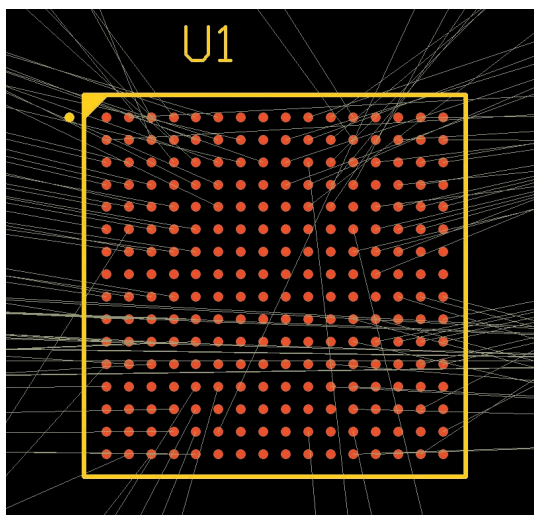


図4 ラツネストによる引き出しに必要な基板層数の確認

電源とグラウンドのラツネストを非表示にして、ラツネストの出方を見て引き出しに必要な層数を確認する。5列の引き出しが必要な部分もあるが、引き出しが不要な端子も多い。平均すると4列以下であるため、配線層が2層あれば十分配線が可能なが分かる。