

# 第3章

## 論理ブロックと専用機能ブロック

# Spartan-3Eファミリの概要

酒井浩昭, 小久保賢二

ここでは、付属FPGA基板に実装されているFPGA「Spartan-3Eファミリ」の特徴について解説する。Spartan-3Eファミリは、論理ブロックやI/Oブロックのほかに、メモリや乗算器、クロック管理などの専用機能ブロックを持つ。（編集部）

米国Xilinx社の「Spartan-3Eファミリ」は、大量生産される民生機器でも使われている低コストFPGA(field programmable gate array)です。ここでは、Spartan-3Eの位置付けと、想定される使用方法について簡単に説明します。また、Spartan-3Eに搭載されている各種機能を解説します。

### 1. Spartan-3Eファミリの位置付けを知る

Xilinx社では、90nmプロセス技術によって製造される低コストFPGA製品群を総称して「Spartan-3 Generation FPGA」と呼んでいます。この製品群の中におけるSpartan-

3Eの位置付けを図1に示します。Spartan-3Eは、ユーザーI/Oの数を基準にして比べると、より論理ブロックを多く搭載するFPGAファミリであることがわかります。

Spartan-3Eファミリの詳細を表1に示します。付属FPGA

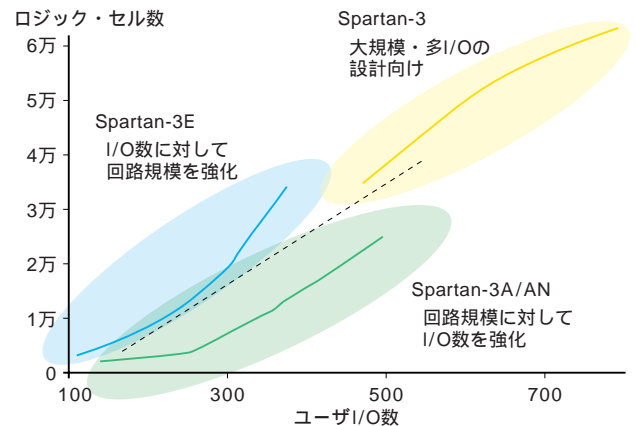


図1 Spartan-3 GenerationにおけるSpartan-3Eの位置付け  
横軸にユーザーI/Oの数、縦軸に論理ブロック数を示している。Spartan-3Eは、ユーザーI/Oの数を基準にして比べると、より論理ブロックを多く搭載するファミリである。

表1 Spartan-3Eファミリの概要

型名	システム・ゲート	ロジック・セル	CLBアレイ (1CLB = 4スライス)			分散RAM (ビット)	Block RAM (ビット)	乗算器	DCM数	最大ユーザーI/O数	最大差動I/O数	パッケージ
			ロウ	カラム	総数							
XC3S100E	10万	2,160	22	16	240	15K	72K	4	2	108	40	VQ100, TQ144
XC3S250E	25万	5,508	34	26	612	38K	216K	12	4	172	68	VQ100, TQ144, PQ208, FT256
XC3S500E	50万	10,476	46	34	1,164	73K	360K	20	4	232	92	CP132, PQ208, FT256, FG320
XC3S1200E	120万	19,512	60	46	2,168	136K	504K	28	8	304	124	FT256, FG320, FG400
XC3S1600E	160万	33,192	76	58	3,688	231K	648K	36	8	376	156	FG320, FG400, FG484

XC3S250E-VQ100のI/O数は66

**Keyword** FPGA, Spartan-3E, XC3S250E, クロック管理, DCM, メモリ, 乗算器, コンフィグレーション, DDR

基板に搭載されている XC3S250E-VQ100 は、66 本のユーザ I/O しかありませんが、25 万ゲート相当の論理ブロックを搭載しています。

このような特徴を持った FPGA は、例えば制御装置への応用が考えられます。監視する信号は数本しかなくても、その状態に合わせて複雑な処理を行う制御装置では、ピン数に対して回路規模が大きくなります。

また、別の応用先としては、デジタル信号処理装置が挙げられます。無線アクセス装置で使われるデジタル・アップダウン・コンバータなどの演算処理には、低コストで演算機能を豊富に持つ FPGA は魅力的に感じます。

## 2. Spartan-3E の基本機能を知る

Spartan-3E に搭載されている主な機能について説明します。既に Spartan-3 の使用経験がある方のために、Spartan-3 との違いについても触れます。

Spartan-3E は、図 2 に示すような機能ブロックから構成されています。

- 論理ブロック (CLB : configurable logic block)
- I/O ブロック (IOB)
- クロック管理ブロック (DCM, BUFG)

- メモリ・ブロック (BRAM)
- 乗算器ブロック (MULT)
- コンフィグレーション回路

### ● 論理ブロック (CLB)

FPGA という名前は、CLB の構造に由来すると言っても過言ではありません。論理回路を自由に構成するための基本的なしくみです。

CLB は、順序回路や組み合わせ回路を構成するための論理ブロックです。四つのスライス (SLICE) から構成されています (図 3)。

各スライスは隣接するスイッチ・マトリックスを介して内部リソースを接続します。CLB の内部ではスライスは左右 2 個ずつに区分けされ、SLICEM と SLICEL と呼ばれています。

2 種類のスライスは、図 4 に示すように、それぞれ二つの 4 入力ルックアップ・テーブル (LUT : look-up table) と二つのフリップフロップ、マルチプレクサ (MUX) などで構成されています。SLICEL のルックアップ・テーブルは組み合わせ回路のみを実現できます (LUT4)。SLICEM ではさらに、メモリ (RAM16 ; 分散型 RAM) や 16 ビット・シフト・レジスタ (SRL16) を実現できます。

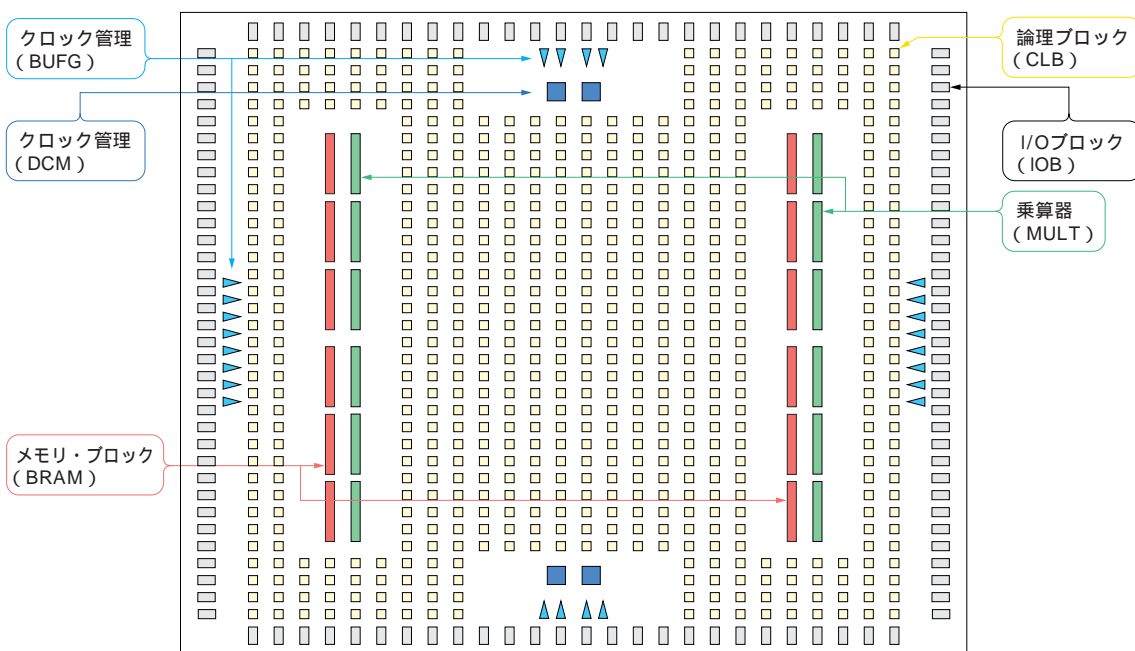


図2 XC3S250E の構造

論理ブロック (CLB : configurable logic block)、I/O ブロック (IOB)、クロック管理ブロック (DCM, BUFG)、メモリ・ブロック (BRAM)、乗算器ブロック (MULT)、コンフィグレーション回路から構成されている。