

第4章

XC3S250E活用チュートリアル

FPGA開発ツールの使い方

池澤陽一

ここでは、付属FPGA基板の活用に必要なFPGA/PLD開発ツール「ISE WebPACK 9.1i」の使い方を解説する。XC3S250E向けの簡単な回路を設計し、FPGAを動作させる。実際に行う手順を具体的に示すので、同じように操作すればFPGA設計を体験できる(本誌付属DVD-ROMから開発ツールをインストールする手順については、pp.60-65のAppendixを参照)。(編集部)

ここでは、ISE WebPACK 9.1iを使用して、プロジェクト作成からFPGAへダウンロードする手順を説明します。ISEはXilinx社のFPGA/PLD開発ツールです。もともとはIntegrated Software Environmentの略称であり、統合設計環境を意味しています。設計入力、論理合成、配置配線、タイミング解析、FPGAへの回路データのダウンロードなど、FPGA開発の一連の作業を行うことができます。

ISE WebPACK 9.1iは、本誌付属DVD-ROMに収録しています。定期的にバージョンアップされていますが、最近は基本的な操作方法はほとんど変わっていないので、今後のバージョンでもある程度対応できると思います。

1. 付属FPGA基板とサンプル回路の準備

サンプル回路は、LEDを点滅させる回路とします。回路の構成を図1に示します。

回路は、top(リスト1)を最上位ブロックとして、三つの機能ブロックで構成しています。

smallcntrブロック(リスト2)の4ビット・カウンタの値に従って、decodeブロック(リスト3)で生成したパターンを出力し、LEDを点滅させます。

付属FPGA基板には、33MHzのクロック発振器が実装されているものとします。このクロックをそのまま使用すると、LEDの点滅動作を目で見ることができません。そこでtimブロック(リスト4)では、周期の長いイネーブル信号を作っています。smallcntrは、このイネーブル信号が“H”の時のみカウントアップするように動作します。

reset信号は、“L”アクティブです。resetが“L”の時、LEDは消灯し続けます。resetが“H”になると、LEDが点滅を開始します。reset信号を発生させるために、付属FPGA基板にはスイッチを実装しておいてください。

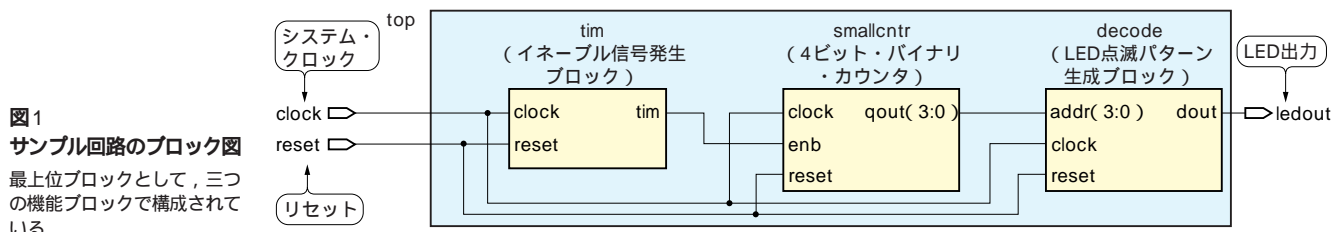


図1
サンプル回路のブロック図
最上位ブロックとして、三つの機能ブロックで構成されている。

Keyword

FPGA, ISE WebPACK, プロジェクト, 論理合成, ピン配置, 配置配線, プログラム, ダウンロード, コンフィグレーション

リスト1～リスト4の設計データは、ブロック名と同じファイル名(拡張子.vhd)で、今回はC:\vhdldemoというフォルダを作成してその中に用意しておいてください。

2. ISE WebPACK による FPGA 開発を体験する

ISE WebPACK による FPGA 開発フローを図2に示します。

リスト1 最上位ブロック top のVHDL ソース・コード(top.vhd)

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity top is
    port (clock : in std_logic;
          reset : in std_logic;
          ledout : out std_logic);
end top;

architecture arc_top of top is

    signal cntout : std_logic_vector ( 3 downto 0);
    signal enable : std_logic;

    component tim
    port (clock : in std_logic;
          reset : in std_logic;
          tim : out std_logic);
    end component;

    component smallcntr
    port (clock : in std_logic;
          reset : in std_logic;
          enb : in std_logic;
          qout : out std_logic_vector(3 downto 0));
    end component;

    component decode
    port (addr: in std_logic_vector(3 downto 0);
          clock: in std_logic;
          reset: in std_logic;
          dout: out std_logic);
    end component;

begin

    u1: tim port map(
        clock => clock,
        reset => reset,
        tim => enable);

    u2: smallcntr port map(
        clock => clock,
        reset => reset,
        enb => enable,
        qout => cntout);

    u3 : decode port map (
        addr => cntout,
        clock => clock,
        reset => reset,
        dout => ledout);

end arc_top;
    
```

● ISE WebPACK の起動

Windows のデスクトップ上にある Xilinx ISE 9.1i のアイコンをダブル・クリックするか、スタートから「プログラム」「Xilinx ISE 9.1i」「Project Navigator」を選択して ISE WebPACK を起動します。すると、Project Navigator の画面が開きます(図3)。

● プロジェクトを新しく作成する

FPGA 開発は、プロジェクトの新規作成から始めます。プロジェクトとは、開発ツールが設計データを扱う一つの

リスト2 smallcntr ブロックのVHDL ソース・コード(smallcntr.vhd)

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;

entity smallcntr is
    port (clock : in std_logic;
          reset : in std_logic;
          enb : in std_logic;
          qout : out std_logic_vector(3 downto 0));
end smallcntr;

architecture arc_cnt of smallcntr is

    signal temp : std_logic_vector (3 downto 0);

begin

    process (clock,reset)
    begin
        if reset='0' then
            temp <= "0000";
        elsif clock'event and clock='1' then
            if enb = '1' then
                temp <= temp + 1;
            else
                temp <= temp;
            end if;
        end if;
    end process;

    qout <= temp;

end arc_cnt;
    
```

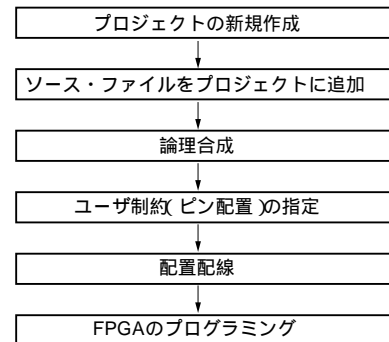


図2 ISE WebPACK による FPGA 開発フロー
本章で解説する手順を示している。