

第5章

無償で使えるIPコアを使って手軽に作る

簡易信号発生器の製作

岡本 顕, 水木 智, 畑林豊治

ここでは、付属FPGA基板を手軽に活用する例を紹介する。無償で利用できるIP (intellectual property) コアを活用して、簡単な信号発生器を製作する。IP コアを利用することにより、デジタル部の設計はほとんど必要なくなる。抵抗だけで構成する簡単なD-Aコンバータを外部回路として用意し、アナログ波形として出力する。(編集部)

FPGAの大規模化が進み、さまざまな設計で活用されています。マイクロプロセッサを搭載する組み込みシステムや、デジタル信号処理システムが代表的な例として挙げられるでしょう。

また、小中規模のFPGAであれば、FPGAメーカーが無償で提供するツールだけで設計が可能です。無償で利用できるIPコアも用意されています。

本稿では、Xilinx社のFPGA/PLD開発ツール「ISE WebPACK」と、その機能の一つでIPコア生成機能の「Core Generator」を活用して簡単なアプリケーションを設計してみます。

今回使用するのは、DDS(direct digital synthesizer)機能のIPコアです。このコアを使用して正弦波出力回路を作

成します。

1. DDSの信号発生のおくみ

DDSはデジタル信号発生器のことです。数値制御発振器(NCO: numerically controlled oscillator)とも呼ばれます。

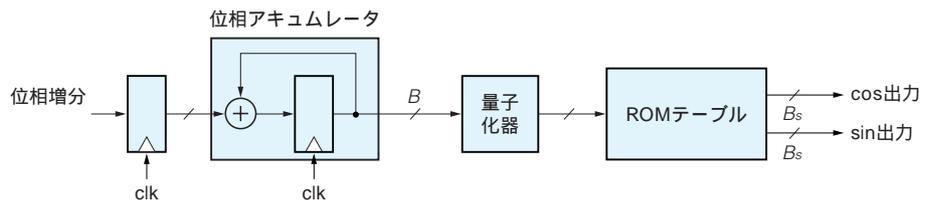
● ROMテーブルを使って波形を生成

DDSの基本構造を図1に示します。正弦波の1サイクル分の数値を収納したROMテーブルに対して、規則的なクロック間隔でアドレスを加算し、データを読み出す簡単な構成です。

クロックのタイミングが規則正しければ、記録されたsin/cos関数値の精度によって、正確な基本波を出力できます。また、アドレス初期値とアドレス増分値を調整することで、位相オフセットや出力正弦波周波数を制御できます。ROMテーブルの数値に従った出力を得られるため、動作中に位相や周波数の切り替えを行っても波形が乱れることはありません。

図1 DDSのブロック図

正弦波の1サイクル分の数値を収納したROMテーブルに対して、規則的なクロック間隔でアドレスを加算し、データを読み出す簡単な構成である。



Keyword FPGA, IP コア, DDS, 数値制御発振器, ROMテーブル, SFDR, 量子化器, DCM, R-2RラダーDAC

● 周波数分解能と出力周波数

出力信号の分解能(品質)はROMデータの数(ワード数),すなわち波形データのアドレス幅によって決まります。そして出力される基本波の周波数は,ROMデータの数とDDSブロックに入力するクロック周波数,位相アキュムレータの増分(スキップ値)で決まります。

出力される正弦波の周波数 f_{out} は,以下の式で表すことができます。

$$f_{out} = f_s / 2^B$$

f_s はDDSブロックのクロック周波数, $\Delta\phi$ は位相増分, B は位相アキュムレータのビット幅

位相増分 $\Delta\phi$ を f_s のタイミングで累積加算していくと,0~2πの位相に相当する1サイクル分のROMアドレス値が順に生成されます。

出力する基本波の周波数は,位相増分 $\Delta\phi$ で決定します。つまり,DDSブロックのクロック周波数 f_s ごとに $\Delta\phi$ だけ位相が進むことで,出力波の1サイクルが決定します。

図2にDDSによる波形発生の様子を示します。 $\Delta\phi$ が4の場合と1の場合を示しています。 f_s が32Hz,位相アキュムレータのビット幅が5ビットであれば, $\Delta\phi = 1$ では, $f_{out} = 1/1 = 1\text{Hz}$ となります。 $\Delta\phi = 4$ とすれば, $f_{out} = 4/1 = 4\text{Hz}$ となります。

● 信号品質を表すSFDR

DDSは信号発生器なので,信号品質が求められます。図3に,SFDR(spurious free dynamic range)の例を示しま

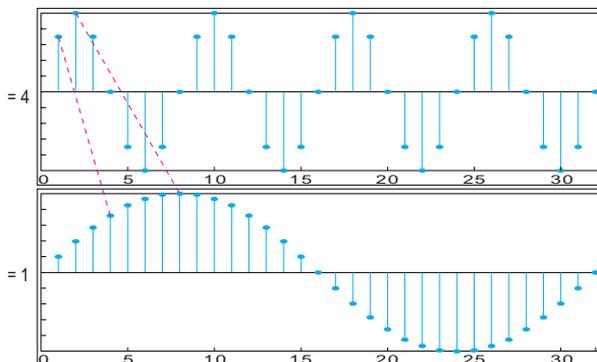


図2 DDSによる波形発生の様子
1サイクル分のROMアドレス値が順に出力する。周波数は,位相増分で決まる。

す。出力信号のスペクトル・エネルギーのピーク値と,そのときのノイズフロア・エネルギーとの比を示しています。SFDRの実効値はdB(デシベル)で表されます。

SFDRは出力正弦波の中にどのくらい余分な高調波成分を含んでいるかを示すもので,信号品質を表す一つの目安になります。DDSを使用する際のシステム側から要求される仕様の一つにもなります。通信システムの中では,この値をDDSが満たしていることが重要となります。

● SFDR改善に重要な量子化器

量子化器は,位相アキュムレータの出力をROMアドレス用に最適化します。最終的なROMアドレスを生成し,波形値を選択するブロックです。このブロックによるアドレス生成では,ROMを節減すると同時にビット削減によるダイナミック・レンジの低下にともなうSFDR改善のために位相アキュムレータを微調整する機能を併せ持つことがあります。その場合には,このブロックはディザリング処理や近似値処理を含みます。

例えば,出力周波数 f_{out} が f_s で割り切れない場合には,位相増分 $\Delta\phi$ が誤差を持つこととなります。通常はこの誤差を切り捨てて位相を決定しますが,この誤差に対して誤差拡散法や,テイラー級数を用いた近似値法を適用する手法が考えられます。

2. DDS IP コアを使用する

付属FPGA基板にDDSコアを実装して,D-Aコンバータ経由でアナログ信号を出力する信号発生器を設計します。

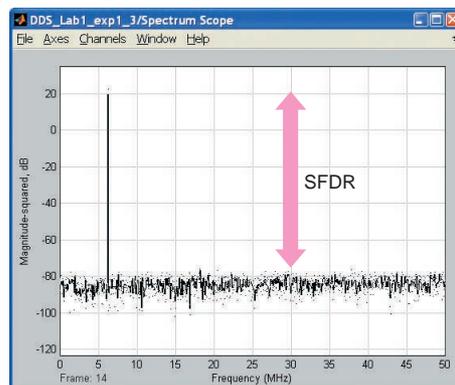


図3 SFDR(spurious free dynamic range)の例
出力信号のスペクトル・エネルギーのピーク値と,そのときのノイズフロア・エネルギーとの比を示したもの。