

FPGA を使って“高速ドライブ”を自作してみた



大牧正知



本稿では、SATA インターフェースを備えた「高速RAM ドライブ」を、FPGA で自作した事例を通じて、SATA デバイスの動作や仕組みを解説する。ハード・ディスクなどの動作が理解できるだけでなく、パソコンとの手軽な通信手段として SATA が利用できることが分かる。ハードウェアは第4章で紹介した FPGA をそのまま使える。本稿で紹介する VHDL や C 言語のソース・ファイルは本誌 Web サイト (<http://www.cqpub.co.jp/dwm/>) からダウンロードできる。 (編集部)



1. デバイスとホストの用途の違い

● パソコンとのデータ転送に SATA を利用

組み込みで SATA (Serial ATA) という、一般的には SATA ホストの機能を実装して、HDD (ハード・ディスク・ドライブ) などのストレージを接続する用途が思い浮かびます。最近では、SATA デバイスを実装して、パソコンなどのインターフェースに使うことも増えつつあります。

パソコンと装置 (ボード) の間で大容量のデータ通信をするためのインターフェースといえば、最近では PCI Express が一般的です。しかし、パソコン用メイン・ボードは x1 (レーン数が1) のコネクタ1個、x16 (レーン数が16) のコネクタ1個という構成が多く、同時に複数の装置を接続するには向いていません。

また、パソコンきょう体内に収まりきらない大きさの装置になると、PCI Express ケーブルで外に出す必要がありますが、あまり一般的ではありません。

その点 SATA は、一般的なパソコンのメイン・ボードに

4~6ポートの SATA コネクタがあります。HDD で一つ、DVD ドライブで一つ使用しても残り2~4ポートが空いています。また、パソコンからケーブルで引き出すのも、eSATA がすでに一般的に使われています。さらに、SATA はホット・スワップに対応できます。

HDD のように見せかければ、セクタのリード/ライト関数でデータがやりとりできるので、パソコンのドライブ・ソフトウェアも必要ありません。SATA Gen2 で 300M バイト/s の帯域があるので、200M バイト/s 程度の転送速度であれば、SATA で実現するのもよい考えかと思います。

● 起動シーケンスやトランスポート層がホストと異なる

SATA のホストとデバイスは、初期のリンクアップに必要な PHY 層の OOB (Out of Band) シーケンス処理と、トランスポート層が異なります。

OOB シーケンスの部分は米国 Xilinx 社のサンプル・デザイン (XAPP870) を元に、作り直したものを使用しました。誌面の都合上、ここでは解説しません。

SATA のホストとデバイスはトランスポート層の FIS の送受信手順が大きく異なります。前章で作成したハードウェアは、いずれの FIS も、どの方向にも送受信できるように作られているので、そのまま使用できます。

今回は、トランスポート層としてそのハードウェアを制御するソフトウェアを作り直すことで、SATA デバイスに対応させられます。従って、ハードウェアの変更は、OOB シーケンスの部分を差し替えるだけです。

ソフトウェアの方は、全面的に書き直しが必要になりま

Keyword

SATA デバイス、ハード・ディスク、RAM ドライブ、FPGA、Virtex-5、MicroBlaze、DDR メモリ、RAID



す。動きとしては、以下のようになります。

- 1) 起動直後にRegD2H FIS (デバイス⇒ホスト)を送信する
- 2) コマンドの受信を待つ
- 3) コマンドに応じた動作を行う
- 4) FIS データを送信する
- 5) 必要に応じて FIS の送受信を行う



2. “RAM ドライブ”をFPGA実装

● SATA を備えた高速 RAM ドライブをFPGAで設計

SATA はホストがコマンドを発行するので、ホスト側では自分が行いたい動作のみを実装するだけで問題ありませんでした。SATA デバイスを設計する場合は、相手(ホスト)がコマンドを発行してくるので、どのようなコマンドがくるのか分かりません。従って、原則としてATA規格で必須(Mandatory)となっているコマンドをすべて実装しなければなりません。

また、ATAの規格はATA-1からATA-8まであり、それぞれ必須となっているコマンドや動き、パラメータなどが違ってきます。

パソコンと接続する場合は原則としてATA-1から順にサポートしなければならないようです。従って、ATA-8にまで対応させようとする、ATA-1からATA-8までのすべての規格に準拠させなければならないので、かなり大変です。特に必要がなければ、ATA-3やATA-4あたりで止めておいた方がよいかもしれません^{注1}。

今回は、HDDをエミュレーションしてDDRメモリ上にデータを格納する機能をFPGAに実装してみます。SATA

インターフェースを備えたかなり高速な「RAMドライブ」になりそうです。

● 最低限必要な機能のみを実装して、動作を理解しよう

リスト1が最小限の構成で実装してみたソフトウェアです。HDDの故障検出などで用いられるS.M.A.R.T (Self-monitoring, Analysis and Reporting Technology)などのオプション機能は一切なく、48ビットLBA(論理ブロック・アドレス)やキャッシュもなく、Ultra DMAはモード5まで、という仕様で作成しました。

リンク確立後にRegD2H(デバイスからホストに送信するFIS)を送信し、後はホストから送られてくるコマンドに従って動作します。IDENTIFY DEVICEコマンドのときに返すデータ次第で、HDDエミュレーションで使う機能が決まります。

メモリ容量は今回ハードウェアとして使用したFPGA評価ボードに備えられたDDRメモリが256Mバイトなので、半分の128Mバイトとしました。

また、SET MULTIPLE MODEの最大値が1になるように作ってあるので、READ/WRITE SECTORコマンドとREAD/WRITE MULTIPLEコマンドの動きが同じになり、実装が楽です。速度は出なくなりますが、通常はUDMAモードを使うので問題ないと思います。

リードやライトのアクセスは、CHS(Cylinder/Head/Sector)モードとLBA(論理ブロック・アドレス)モードがあります。容量が小さいHDDの場合、CHSモードでアク

注1：筆者は実際にIDENTIFY DEVICEで手元のHDDが対応するATA規格の情報を見てみたが、ATA-1からATA-8までのすべての規格に対応していた。

- Pro
- 1
- App1
- 2
- 3
- 4
- 5
- App2
- App3

コラム1 SATA デザインのソース提供

特集第4章、第5章で紹介したSATAのホストとデバイスを動作させたハードウェア「Virtex-5 LXT/SXT 評価ボード」(LXTはML505/SXTはML506)を以下から購入された方は、今回のデザインのソース・コード一式(FPGA用のVHDLとMicroBlaze用のCコード。ただし、SATA IPコアを除く)の提供を受けられます(写真A)。この評価用デザインはMicroBlazeのソフトウェアが変更できる形になっているので、いろいろな動作を確認できます。

ご注文や評価ボードの詳細については、下記のWebサイトを確認するかE-Mailでご連絡ください。

アヴネットジャパン(株)

Webサイト：<http://www.avnet.co.jp/>

E-Mail：EVAL-KITS-JP@avnet.com



写真A FPGA評価ボードをSATAデバイス(高速RAMドライブ)として動作させている様子