

# マルチメディア機器の検査・故障診断技術 バウンダリ・スキャン検査技術

塗矢康三・平山勝啓

## はじめに

マルチメディア機器への高い信頼性が求められている

マルチメディア機器の動向の一つとして、パーソナル携帯を指向した「小型軽量化」が挙げられます。扱う情報も一般的情報(メディア情報)から、個人が必要とする個人のための情報(例えばナビゲーション・システムや携帯端末)へと変化しています。

いい換えれば機器が扱う情報は、個人に密着した情報であり、機器の故障、あるいは不動作は「個人の身の安全を犯す」可能性をもつこととなります。機器の検査および信頼性保証は重要な課題となります。

回路実装技術の進化に検査技術が追いつかない

マルチメディア機器における重要な技

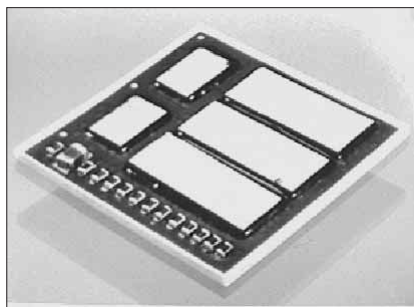


写真1 Multi-Chip Moduleの外観例

術要素として、集積回路や電気部品を実装するための回路実装基板があります。マルチメディアに必要な機能を、携帯化という流れの中で実現するために、たくさんの部品を高密度に実装するために高い技術が要求されています。そして小型化への対応切り札として、いま、MCM (Multi-Chip Module)が脚光を浴びています(写真1, Appendix参照)。

MCMを使った実装技術は、すでにコンピュータ周辺機器などでは実用化されはじめています。しかし、MCMを使うような製品は、当然、部品が極めて高密度に実装されているために、一般的なイン・サーキット検査技術が使用できなくなってしまうという問題が起こっています。回路基板へのテスト・プローブによる物理アクセスが困難になるためです。また、MCM自体も基板上に複数のチップが搭載されているという点で考えればテストが必要ですが、いったんパッケージングされてしまえばプローブを当てることはできません。

そのため高密度実装基板やMCMに対応する検査技術の一つとして、バウンダリ・スキャン(Boundary Scan)検査技術が注目を集めています。

本稿では、マルチメディア時代に対応するテスト技術として、バウンダリ・スキャン検査技術のしくみについて詳しく解説します。

## バウンダリ・スキャン 検査技術の概要

イン・サーキット・テストが主流現在、多くの回路実装基板の検査としてイン・サーキット・テストが用いられています。

イン・サーキット検査では回路実装基板上ヘテスト・プローブがアクセスできるようなポイント(テスト・ランド)を設ける必要があります(写真2)。テスト・プローブから回路基板上のデバイス(LSIやASIC)に検査用信号を送ることでデバイスを動作させ、その出力ピンからデバイスの信号を観測します。そして、あらかじめ準備しておいた出力期待値との比較を行うことにより正しく動作しているかどうかを調べています。

小型機器ではテスト・ランドをつくれない

しかし、テスト・ランドの占める面積は回路規模が増大するにしたがって大きくなります。回路実装基板のレイアウトや小型化にとっては大きな問題となります。

小型で高機能を実現する高密度実装のシステムでは、入出力端子すべてにテスト・ランドを設けることができなくなってしまうのです。テスト・ランドがなければ、イン・サーキット・テストはできません。

新しいテスト方式をIEEEが制定  
 イン・サーキット検査が効果的でなくなることは1985年ごろから予測されてきました。Philips社をはじめとするヨーロッパの企業体がJETAG( Joint European Test Action Group )と呼ばれるグループを結成し、その課題としてあたらしいテスト方式の検討を開始したのです。翌年にはHewlett-Packard社を含む米国企業がこのグループに参入し、グループの名称もJTAG( Joint Test Action Group )になりました。

ここで検討された新しいテスト方式は1988年にはJTAG提案として文章化され、IEEE( Institute of Electrical and Electronics Engineers )に規格化の提案が行われました。そして1990年にIEEE Standard 1149.1-1990 “ IEEE Standard Test Access Port and Boundary-Scan Architecture ” になりました。

この規格は回路基板上のデジタル・デバイスの検査の簡易化を図り、回路基板上における検査機能を集積回路への組み込み設計をどのように行うかを定義したものです。

さらに、1993年からは回路基板上に残された部分、すなわちデジタル/アナログ混在部分の検査を実施するための方法について、“ Mixed-Signal Test Bus Standard Working Group ” により規格化審議が継続されています(表1)。

テスト機能をLSIに内蔵

バウンダリ・スキャンは回路実装基板上の故障を検出するために、集積回路(以降LSI)にあらかじめ故障を検出するための回路を設け、LSIからLSIに至る境界(バウンダリ)で電気走査(スキャン)信号を使って故障を検出する検査方法です。イン・サーキット検査における、テスト・ランドとテスト・プローブの機能を半導体内部に持たせたものともいうことができます。

この結果、回路実装基板上で検査のために必要だったテスト・ランド(全面積の約20%)が不要となりました。回路実装基板の高密度化(特にMCM)に対応で

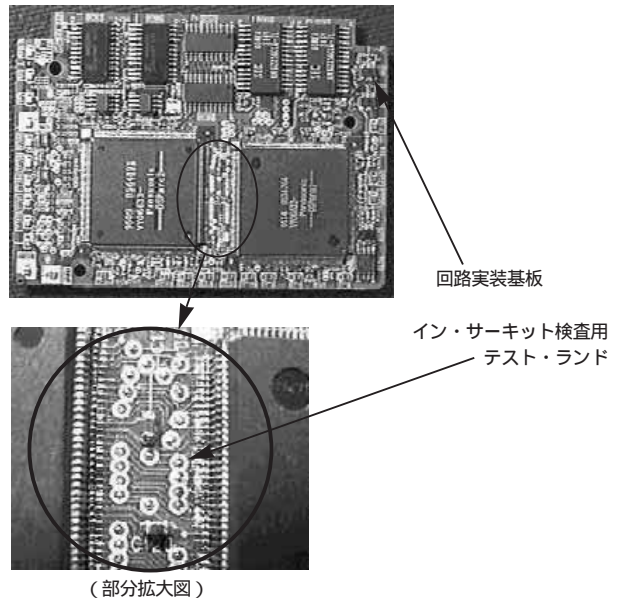


写真2  
 回路実装基板とテスト・ランドの拡大写真

表1 バウンダリ・スキャン検査技術の経過

1985年	欧州企業数社( Philips, British Telなど)がJETAG( Joint European Test Action Group )を結成
1986年	米国企業( Hewlett-Packardなど)が加わりJTAG( Joint Test Action Group )を結成
1988年	JTAG Rev2.0として「IEEE Testability Bus Committee( P1149 )」へ提案
1989年	IEEE1149.1「Test Access Port and Boundary Scan Architecture」の無記名投票
1990年	IEEE Standard1149.1-1990 規格 「IEEE Standard Test Access Port and Boundary Scan Architecture」制定
1993年	アナログ Boundary Scanに関する論文 「Structure and Methodology for an Analog Testability Bus」発表( HP社 )
1996年	IEEE P1149.4ワーキング・グループ 「Standard for a Mixed-Signal Test Bus」規格審議継続 アナログ Boundary Scan評価用テストLSIおよび評価ソフトの開発( 松下, HP, IMP )

きる検査技術といえます。

LSI内部の回路構成とタイミングを規定

バウンダリ・スキャン検査の機能を整理すると、以下のとおりです。

- (1)すべてのデバイスの動作が、それぞれの仕様に合致している。
- (2)すべてのデバイスのピンが、回路実装基板に正しく接続されている。
- (3)すべてのデバイスが、それぞれの正しい場所に実装されている。
- (4)デバイス間の複合動作が、検査仕様に合致する。

これらの検査を実現するために、LSI内部の回路構成とタイミングを決めた国際規格がIEEE Std 1149規格です。

バウンダリ・スキャンの構成と検査原理

四つの端子を使った16ステート・マシン

バウンダリ・スキャン検査は、LSI相互間およびLSI自身の検査をするための回路を、LSIに具備した検査技術です。内部的には制御ブロック(TAPコントローラ)と観測・データ設定ブロック(パウ