

# 第1章

## 低コストFPGAを用いた 高速データ・インターフェースの設計

—1GHzアナログ信号のサンプリングと  
800MHzのデジタル波形サンプリングを実現する

Minseok Kim

本章では、高速シリアル・データ伝送のLVDS (low voltage differential signaling) インターフェースとクロックの立ち上がり/立ち下りの両方のエッジを使うDDR (double data rate) について解説する。 (編集部)

### 1. 高速データ・インターフェースを理解しよう

本章ではまず、高速データ・インターフェースの標準として多く使われているLVDS 差動インターフェース規格と、リファレンス・クロックの両エッジを用いて転送効率を2倍にすることで、高速データ・レートを実現する方法であるDDR インターフェースについて、市販のFPGA でサポートされる機能を中心に調べてみます。

#### ● 差動データ・インターフェース規格のおさらい

現在、世の中で使われている差動伝送規格にはいろいろありますが、その代表的なものはLVDS という差動インターフェース規格です。これを用いると、プリント基盤線

路パターンやケーブルなどのさまざまなメディアを介して、高速データの転送が可能になります。

LVDS は、IEEE standard 1596.3 SCI-LVDS と ANSI/TIA/EIA-644 の二つの工業標準規格で定義されています。勧告の最大転送速度は、IEEE 規格では250Mbps、ANSI/TIA/EIA-644 規格では655Mbps になっています。LVDS インターフェースは、最近のFPGA では当たり前のように標準インターフェース規格として提供されています。

米国 Altera 社の場合、ANSI/TIA/EIA-644 規格をベースとし、最速6.375Gbps をサポートするハイエンド製品から、Cyclone II のように低コストでありながら十分なチャネル数を持つローエンド製品まで製品化しています(表1)。また、米国 Xilinx 社の場合は、Spartan-3 という低コスト製品において、344 個までの差動インターフェース・ペアを提供しています(表2)。

これらの低コストFPGA では、専用のSerDes (シリアルライザ・デシリアルライザ; Serializer/Deserializer) 回路を内蔵せず、その機能を論理ブロック上に実装することで転送

表1  
米国 Altera 社のFPGA における差動インターフェース仕様

| ファミリ名         | チャネル数                        | 最大データ転送速度                          | SerDes 内蔵 |
|---------------|------------------------------|------------------------------------|-----------|
| Cyclone       | 34 ~ 129                     | 640 Mbps                           | なし        |
| Cyclone II    | 31 ~ 261                     | 805 Mbps                           | なし        |
| Stratix       | 40 ~ 160                     | 840 Mbps                           | あり        |
| Stratix GX    | 44 ~ 90<br>(高速チャネル: 4 ~ 20)  | 840 Mbps<br>(高速チャネル: 3.125 Gbps)   | あり        |
| Stratix II    | 80 ~ 312                     | 1.040 Gbps                         | あり        |
| Stratix II GX | 60 ~ 144<br>(高速チャネル: 4 ~ 20) | 1.040 Gbps<br>(高速チャネル: 6.375 Gbps) | あり        |
| Stratix III   | ~ 264                        | 1.25 Gbps                          | あり        |

#### KeyWord

LVDS, DDR, 差動インターフェース, Cyclone II, 高速A-D コンバータ, デマルチプレクサ, AT84AD001B, EP2C8

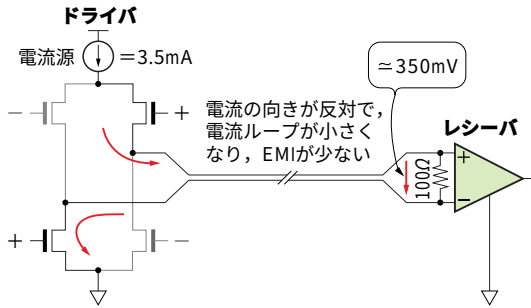


図1 LVDSの動作原理

線路ペアから電流のリターン・パスができるため、電流ループが小さくなり、EMIの影響を少なくできる。

速度は低下しますが、その代わりに低コスト化を実現しています。

Cyclone II の場合、LVDS から派生した RSDS (reduce swing differential signaling) と mini-LVDS という電圧振幅を小さくし、消費電力を低減した規格についてもサポートしています(出力機能のみ)。さらに、クロック・インターフェースとして多く使われる LVPECL (low voltage positive emitter coupled logic) 規格は、FPGA のクロック入力専用ピンでサポートされます。

### (1) LVDS の物理的な特性

LVDS 規格とシリアルライザ・デシリアルライザを用いて高速シリアル転送を行うことは、LSI 間の配線数が低減でき、基板のコスト削減に直接繋がるという利点があります。さらに、LVDS 規格が差動電流モードのインターフェースであることで、外部からのノイズに対して高い耐性を持つと同時に、クロストーク・ノイズも非常に低いものとなります。差動インターフェースは高速データ転送をするときに高い信頼性があることから、数百 MHz ～数 GHz の高速データ転送規格として広範囲に採用されています。

LVDS の物理的な等価回路を図1に示します。ドライバ側では、およそ 3.5mA の電流をスイッチング動作により、その向きを変化させながら約 100 Ω の終端抵抗に流します。

このような差動ドライバは、大きさが同じで、符号が反対のオド・モード (odd mode) 転送を行います。線路ペアから電流のリターン・パスができるため、電流ループが小さくなります。これは EMI (電磁妨害; electromagnetic interference) の影響を少なくすることができます。

表2 米国 Xilinx 社の FPGA における差動インターフェース仕様

| ファミリ名        | チャネル数                         | 最大データ転送速度                       | SerDes 内蔵 |
|--------------|-------------------------------|---------------------------------|-----------|
| Spartan 3A   | 52 ～ 227                      | 622 Mbps                        | なし        |
| Spartan 3E   | 40 ～ 156                      | 622 Mbps                        | なし        |
| Spartan 3/3L | 56 ～ 344                      | 622 Mbps                        | なし        |
| Virtex-4     | 160 ～ 480<br>(高速チャネル: 0 ～ 24) | 1 Gbps<br>(高速チャネル: 10 Gbps)     | あり        |
| Virtex-5     | 200 ～ 600<br>(高速チャネル: 0 ～ 24) | 1.25 Gbps<br>(高速チャネル: 3.2 Gbps) | あり        |

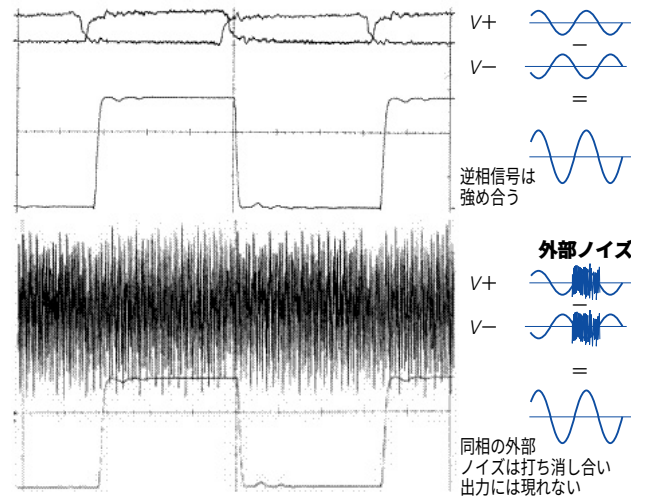


図2(2) 差動信号ペアでは同相ノイズが打ち消し合う(波形データは参考文献(2)を参照)

差動動作により外部からの同相ノイズがうまく打ち消しあい、その出力には差動信号のみが強め合う。

レシーバでは、図2のように差動動作によって外部からの同相ノイズ (common-mode noise) がうまく打ち消しあい、その出力には差動信号のみが強め合うことになります。LVDS のノイズ除去効果を最大にするには、線路を同じ長さで対称に配線しなければなりません。また、LVDS 線路ペアは、プリント基盤上で可能な限り近くに通るように配線するなど、線路の配線がきわめて重要です。そのほかにも、LVDS 線路ペアの配線距離 (edge-to-edge) を基準とし、ほかのペアとの距離はその2倍以上にすることや、シングル・エンド線路との距離はその3倍以上離すことなど、LVDS 配線におけるいくつかのルールが勧告されています。その詳細については他の文献を参考してください(2)。

近年、データ・レートの増大に伴い、厳しい EMC (電磁的両立性; electromagnetic compatibility) 条件から電磁波放射問題がシステム設計において重要な考慮事項になっています。システム設計者は一般に、遠方での電磁波放射