

新SDRAMコントローラMPMC3 搭載MicroBlazeシステムの設計

Xilinx社製FPGA向けのソフト・マクロCPUコアMicroBlazeが大きくバージョン・アップした。新しいシステム・バスやマルチポートSDRAMコントローラなどの周辺コントローラも強化された。ここではバージョン・アップしたEmbedded Development Kitを使ったMicroBlazeシステムの設計事例について解説する。

(編集部)

大牧 正知

1. Embedded Development Kit 新バージョンの概要

2007年末にEmbedded Development Kit(以下、EDK)のバージョン9.2がリリースされました。EDK 9.2は、ハードウェア面で以前のバージョンより大幅にアップデートされています。主なものとして、PowerPCやMicroBlazeのメイン・バスの変更と統一、DRAMコントローラMPMC3の追加、MicroBlazeへのMMUの搭載、TEMACやPCI Expressのハード・マクロ(ブロック)の本格サポートなどがあります。

このEDK 9.2で組み込みシステム開発評価キット(愛称「BLANCA」)を使用するには、MicroBlazeのメイン・バスの変更に伴った、MicroBlazeシステム全体の変更を行わなければなりません。また、以前から問題になっていた

グラフィックス出力も、MPMC3の使用で改善できるようになります。

ここでは、主なアップデート内容を説明します。

新しいバス PLB_V46

以前まで、MicroBlazeではOPB、PowerPC(PPC)ではPLB_V34というバスが使われていました。周辺のIPコアはOPB接続のものとPLB接続のものの2種類に分けられ、幾つかのIPコアはそのどちらにも対応していました。また、一部のIPコアにはOPB接続専用やPLB接続専用のものもありました。例えば、PowerPCでOPB接続のIPコアを使おうとした場合、PLB2OPBブリッジを介する必要がありました。その分リソースを消費し、システムも複雑になります。

今回、MicroBlazeもPPCもPLB_V46という共通のバスが使われるようになり、今まで使われていた周辺IPコ

表1 新しいIPコア一覧

| BUS | | IO | SYSTEM |
|------------------------------|-----------------------------|----------------------------|---------------------------|
| fsl_v20_v2_11_a | plbv46_slave_single_v1_00_a | xps_can_v1_00_a | jtagppc_cntlr_v2_01_a |
| opb_plbv46_bridge_v1_00_a | plbv46_slave_v1_00_a | xps_deltasigma_adc_v1_00_a | mdm_v1_00_a |
| plb_v46_v1_00_a | ppc405_virtex4_v2_00_a | xps_deltasigma_dac_v1_00_a | proc_sys_reset_v2_00 |
| plb2fsl_bridge_v1_00_a | ppc440_virtex5_v1_00_a | xps_ethernetlite_v1_00_a | xps_bram_if_cntlr_v1_00_a |
| plbv46_dcr_bridge_v1_00_a | microblaze_v7_00_a | xps_flexray_v1_00_a | xps_central_dma_v1_00_a |
| plbv46_master_burst_v1_00_a | | xps_gpio_v1_00_a | xps_intc_v1_00_a |
| plbv46_master_single_v1_00_a | | xps_iic_v1_00_a | xps_ll_fifo_v1_00_a |
| plbv46_master_v1_00_a | MEMORY | xps_ll_temac_v1_00_a | xps_mailbox_v1_00_a |
| plbv46_opb_bridge_v1_00_a | mpmc_v3_00_a | xps_most_nic_v1_00_a | xps_mutex_v1_00_a |
| plbv46_pci_v1_00_a | xps_epc_v1_00_a | xps_spi_v1_00_a | xps_sysmon_adc_v1_00_a |
| plbv46_pcie_v1_00_a | xps_mch_emc_v1_00_a | xps_uart16550_v1_00_a | xps_timebase_wdt_v1_00_a |
| plbv46_pim_v1_00_a | xps_mch_sdram_v1_00_a | xps_uartlite_v1_00_a | xps_timer_v1_00_a |
| plbv46_plbv46_bridge_v1_00_a | xps_sysace_v1_00_a | xps_usb2_device_v1_00_a | |

アのほとんどがこのPLB_V46 対応になります(表1)。従って、バス・ブリッジによる無駄がなくなり、システムがシンプルになりました。また、MicroBlaze であっても PPC であっても同じ IP コアが使用できるようになったので、双方ともシステムの変更が簡単にできるようになりました。今後の新しい EDK の周辺 IP コアは、この PLB_V46 バスに接続するものがリリースされます。なお、この新しい PLB に接続される IP コアは、名前が「xps_」もしくは「plbv46_」から始まっています。

PLB_V34 と PLB_V46 の大きな違いは、データ・バス幅が最大 128 ビットになったことです。残念ながら MicroBlaze は 32 ビット、PPC は 64 ビットのデータ・バス幅でしかアクセスできません。しかし、ユーザが PLB マスタ回路を作成したときに、128 ビットのデータ・バス幅で回路を作成すれば、この 128 ビットのデータ・バスを生かすことができます。また、EDK はバスにつながっているマスタのデータ・バス幅の最大値を自動認識して、PLB バスに設定するので、32 ビット・データ・バスのシステムに 128 ビットの PLB を使うといったような無駄は起こらないようになっています。

さらに、PLB のパラメータには P2P という設定が用意されています。これは、アービタやセクタをなくすもので、マスタとスレーブが 1 対 1 のときのみ使用可能です。この設定の場合、アービタやセクタなどの余分な回路がないので、バスの動作周波数を上げやすくなります。ただし、実際にはマスタとスレーブが 1 対 1 のみというシステムはほとんどないと思われるので、その辺りは後述します。

マルチポート・メモリ・コントローラ MPMC3

以前の EDK ではメモリや接続するバスの種類、またシングル・ポートかマルチポート(MicroBlaze のキャッシュ・リンク・ポートのために複数アクセス・ポートを持ったもの)かで、いろいろなメモリ・コントローラの IP コアが付属していました。これらのメモリ・コントローラは、EDK 9.2 から MPMC3 に統一されています。MPMC3 でサポートされていない SRAM やフラッシュ ROM などのコントローラのみが、従来どおりの形でサポートされます。

MPMC3 という名前から、MPMC2 や MPMC1 があったような感じがします。そのとおりです。2 年ほど前にリファレンス・デザインの形で MPMC1 がリリースされ、MPMC2 を経て、EDK 9.2 となってツールに付属するよう

になりました。MPMC2 では EDK とは別のツールを使う形になっており、EDK に組み込むのが少々複雑だったのですが、MPMC3 はツールに統合されているため、非常に使いやすくなっています。

MPMC3 には SDRAM と DDR SDRAM、DDR2 SDRAM がサポートされており、名前のとおり複数のアクセス・ポートを持たせることができます。ポート数は一つから最大八つで、それぞれのポートは PLB(MicroBlaze と PowerPC のメイン・バス)、XCL(MicroBlaze のキャッシュ・リンク・ポート)、SDMA(DMA 付きポート・ローカル・リンクと呼ばれるインターフェースを持つ)、NPI(ネイティブ・ポート・インターフェース・ユーザ回路などを接続するときに用いる)の四つを設定できます。各ポートの動作周波数は、メモリの動作周波数と同じか、その半分で動作します。

PLB のポートのみを持たせるなら、通常のメモリ・コントローラとなります。そして XCL ポートを持たせることで、従来の MCH_OPB_SDRAM のような、キャッシュ・リンク接続用メモリ・コントローラと同じ機能を持たせることができます。

従来のメモリ・コントローラとの違いの一つは、DMA 付きのポートが設定できることです。この先にローカル・リンクと呼ばれるインターフェースが用意され、現在のところ高速 LAN 用の TEMAC(xps_ll_temac)が接続できるようになっています。従って、プロセッサはこの DMA に指示を出すだけで、メモリ上のデータをローカル・リンクに接続された IP コアへ高速に送受信することができます。

また、各ポートの優先度の設定が自由に行えるようになっています。以前、グラフィックス表示に使用した MCH_OPB_SDRAM では優先度を設定できず、MicroBlaze が SDRAM にアクセスすると画面を正しく表示できないという問題がありました。しかし、この MPMC3 を使ってグラフィックス表示用ポートの優先度を最も高くすることで、その問題も解決できそうです。

通常、ユーザ回路を接続するポートとしては NPI を使用します。NPI は最大 64 ビットのデータ・バスで、メモリと同じクロックで動作し、バスを介さずメモリにアクセスできるので、大量のデータを高速にプロセッサのメモリとやりとりしたいときには非常に便利なポートです。