



# CD プレーヤの製作

— ATA インターフェースの CD-ROM ドライブで  
音楽再生

## 第 2 章



河野 崇

ATA (AT Attachment) はバス・プロトコルが比較的単純で、パソコンの標準バスとして広く普及しており、対応デバイスもたくさん出回っているという点で、魅力的なストレージ・インターフェースです。ここでは、FLEX10KE 評価キットを用いて、ATAPI インターフェースをもつ CD-ROM ドライブを制御してオーディオ CD を再生する回路を設計します。なお、本記事で紹介する設計データは、本誌のホームページ (<http://www.cqpub.co.jp/dwm/>) からダウンロードできます。

### 1 ATA の基礎知識

#### ● ATA とは？

ATA (AT Attachment) は、PC/AT 機に内蔵ハー

〔表1〕 ATA 信号と 40 ピン・コネクタにおけるピン配置

信号名	ピン番号	信号名
RESET#	1 2	Ground
DD7	3 4	DD8
DD6	5 6	DD9
DD5	7 8	DD10
DD4	9 10	DD11
DD3	11 12	DD12
DD2	13 14	DD13
DD1	15 16	DD14
DD0	17 18	DD15
Ground	19 20	(keypin)
DMARQ	21 22	Ground
DIOW# (STOP)	23 24	Ground
DIOR# (HDMARDY#/HSTROBE)	25 26	Ground
IORDY (DDMARDY#/DSTROBE)	27 28	CSEL
DMACK#	29 30	Ground
INTRQ	31 32	Obsolete*
DA1	33 34	PDIAG# (CBLID#)
DA0	35 36	DA2
CS0#	37 38	CS1#
DASP#	39 40	Ground

\*ATA-2, ANSI X3.279-1996 では IOCS16# として定義されていた。

ド・ディスクを接続するために開発された IDE インターフェースが ANSI によって規格化されたものです。SCSI に比べて安価だったため広く普及し、現在では数多くの対応デバイスが流通しています。

ISA バスになるべく簡単にハード・ディスクを接続することを目的として考えられたものなので、ISA とほぼ同じプロトコルで非同期のデータ転送を行っています。CPU が直接 I/O をアクセスしてデータ転送するので、PIO (Programmed I/O) 転送と呼ばれます。現在では高速転送を目的とした同期転送も規格に加えられていますが、速度さえ求めなければ単純な PIO でデバイスを制御することができます。今回は、大量のデータ転送を必要としないので PIO 転送のみを用いることとします。

#### ● ATA の物理規格

現在の ATA (ATA/ATAPI-5<sup>注1</sup>) の信号線と、代表的なコネクタである 40 ピン・コネクタのピン配置を表 1 に示します。いずれも TTL (5V) レベルの信号です。信号名の最後に“#”が付いている信号は、“L”アクティブな信号です。

DD [15:0] が 16 本のデータ線、CS# [1:0] と DA [2:0] の 5 本がアドレス線です。これらのアドレス線によってアクセスされる ATA レジスタ群を表 2 に示します。

注1: ATA/ATAPI-5 の規格書 (NCITS 340-2000) については、ANSI のホームページ (<http://www.ansi.org/>) 内にある ELECTRONIC STANDARDS STORE (<http://webstore.ansi.org/ansidocstore/default.asp>) から PDF 形式でダウンロードできる (有償)。2001 年 5 月時点での料金は 18 ドル。オンラインでクレジット・カード決済ができる。この規格書は多少不明確な表現もあるが、かなりわかりやすく書かれており、参考文献 4) で基礎知識を頭に入れてしまえば、規格の細部を簡単に調べることができる。ただし、目次がないので特定のコマンドについて調べたいときなどは不便である。

〔表2〕  
ATAレジスタ一覧

CS1#	CS0#	DA2	DA1	DA0	レジスタ名	
					リード	ライト
H	H	X	X	X	レジスタ非選択	
L	L	X	X	X	禁止	
L	H	L	L	L	廃止	
L	H	L	L	H	廃止	
L	H	L	H	L	廃止	
L	H	L	H	H	廃止	
L	H	H	L	L	廃止	
L	H	H	L	H	廃止	
L	H	H	H	L	Alternate Status レジスタ	Device Control レジスタ
L	H	H	H	H	廃止	
Data レジスタ (16 ビット幅)						
H	L	L	L	H	Error レジスタ	Features レジスタ
H	L	L	H	L	Sector Count レジスタ (ATAPI では Interrup Reason レジスタ) (*ATAPI のときは読み出しのみ)	
H	L	L	H	H	Sector Number レジスタ (ATAPI では未使用)	
H	L	H	L	L	Cylinder Low レジスタ (ATAPI では Byte Count レジスタの LSB)	
H	L	H	L	H	Cylinder High レジスタ (ATAPI では Byte Count レジスタの MSB)	
H	L	H	H	L	Device/Head レジスタ	
H	L	H	H	H	Command レジスタ	Status レジスタ

〔表3〕  
PIO 転送アクセス・タイミング・  
パラメータ (単位は ns)

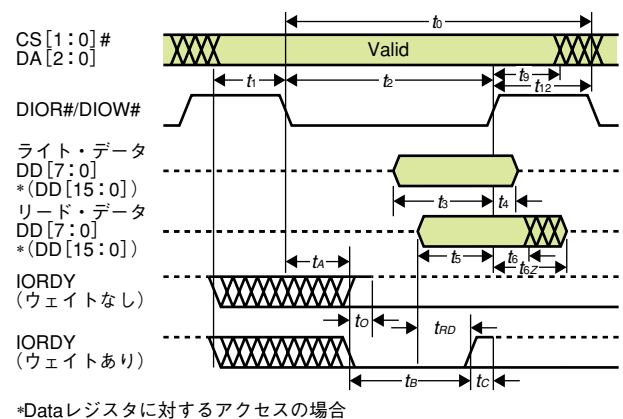
記号	パラメータ		Mode0	Mode1	Mode2	Mode3	Mode4
t0	サイクル時間	最小	600	383	240	180	120
t1	アドレス・セットアップ	最小	70	50	30	30	25
t2	DIOR#/DIOW# パルス幅 (Data レジスタ)	最小	165	125	100	80	70
t2	DIOR#/DIOW# パルス幅 (Data レジスタ以外)	最小	290	290	290	80	70
t2i	DIOR#/DIOW# リカバリ	最小	—	—	—	70	25
t3	DIOW# データ・セットアップ	最小	60	45	30	30	20
t4	DIOW# データ・ホールド	最小	30	20	15	10	10
t5	DIOR# データ・セットアップ	最小	50	35	20	20	20
t6	DIOR# データ・ホールド	最小	5	5	5	5	5
t6Z	DIOR# データ・3 ステート・ディレイ	最大	30	30	30	30	30
t9	DIOR#/DIOW# アドレス・ホールド	最小	20	15	10	10	10
tRD	IORDY リード・データ有効	最小	0	0	0	0	0
tA	IORDY セットアップ	最小	35	35	35	35	35
tB	IODRY パルス幅	最大	1250	1250	1250	1250	1250
tC	IORDY アサート・リリース	最大	5	5	5	5	5

Data レジスタのみ 16 ビット幅で、残りはすべて 8 ビット幅になっています。Data レジスタ以外にアクセスする場合、DD [15:8] は使用されません。これらのレジスタに対して読み書きすることでデータ転送を行うことになります。

ATA の信号線のうち、PIO 転送を行うにあたって考える必要のある信号線は、

- 1) 16 本のデータ線 (DD [15:0])
- 2) 5 本のアドレス指定信号 (CS# [1:0], DA [2:0])
- 3) 3 本の制御信号 (DIOW#, DIOR#, IORDY)

です。これらの信号のうち、デバイス側からホスト (パソコン) 側へ出力される信号は IORDY のみです。この信号はデバイスがホストに対してウェイトを要求するフロー制御信号です。残り 2 本の制御線はそれぞれ WRITE/READ ストロープです。これらの信号の立ち上がりエッジ



〔図1〕ATA PIO 転送タイミング

ジでデータの書き込み/読み出しが行われます。

これらの信号のタイミング波形を図1に示します。PIO 転送はタイミング・パラメータによって Mode0 ~ 4 の 5

