

CMOSアナログICの 実用設計

吉田晴彦

第 3 回

CMOSアナログIC開発者が知っておくべき「ウェハ・プロセス (前工程)」と「パッケージング(後工程)」



前回(本誌2007年2月号, pp.92-100)は、レイアウト設計からフォト・マスクの製造までを解説した。今回はそのフォト・マスクを使ってIC製品ができるまでを紹介する。パッケージに納めてやっとICの形が見えてきた。(編集部)

ウェハができるまでの流れ(前工程)

ICのウェハ処理工程は、前工程(ウェハ・プロセス, プローブ試験)と後工程(組み立て, 最終試験)に分類されます。

● 前工程の流れ

前工程は、**図1**のような流れとなり、シリコン・ウェハ [写真1(1)]に成膜^{注1}, フォト・リソグラフィ^{注2}, 不純物導入^{注3}などの要素プロセスを繰り返して、トランジスタ、

注1: 酸化膜, 絶縁膜, 多結晶シリコン, および金属薄膜を成膜するには, 熱酸化, CVD(chemical vapor deposition), スパッタの3種類の方法により形成する。

注2: フォト・リソグラフィ(photo lithography)とは, レジスト塗布, 露光, 現像工程によりフォト・マスクに描かれたパターンをウェハ表面に露光転写する技術。写真と同じ原理で光によるパターン転写を行うので, フォト・リソグラフィと呼ばれる。

注3: 不純物導入とは, 熱拡散法やイオン注入法により不純物(ドーパント)を半導体の性質を制御するために添加すること。

図1
前工程(ウェハ・プロセス, プローブ試験)の流れ

一般的な前工程で, ウェハ・プロセス, ウェハ素子テスト, バック・グラインド, プリウェハ・テスト, レーザ・トリミング, プローブ試験, 出荷検査の流れとなる。

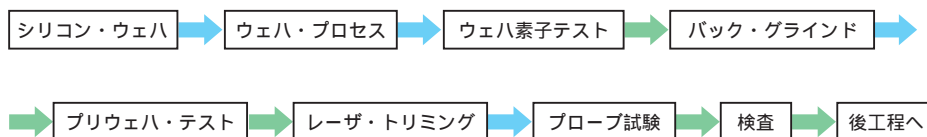
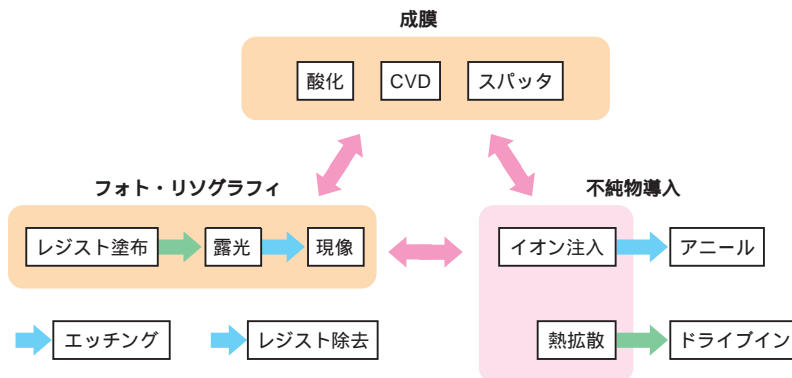


図2
ウェハ・プロセスの流れ

ウェハ・プロセスは, シリコン・ウェハに成膜, フォト・リソグラフィ, 不純物導入などの要素プロセスを繰り返して, トランジスタ, 抵抗, キャパシタなどの素子や金属配線を形成する。



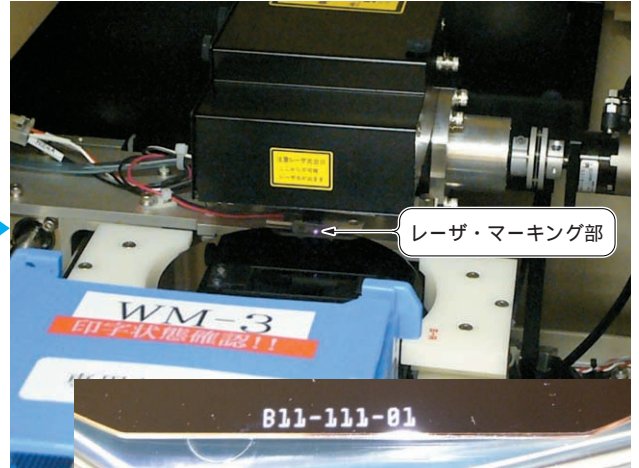
KeyWord

ウェハ・プロセス, プローブ試験, 成膜, フォト・リソグラフィ, 不純物導入, ウェハ素子テスト, ワイヤ・ボンディング, はんだめっき, パッケージング, ICパッケージ, ピン挿入型, 表面実装型



(1) シリコン・ウェハ

ウェハは、原料の多結晶シリコンをインゴット(ingot)と呼ばれる円柱状に単結晶成長させ、薄くスライスして作製した円盤で、アナログICでは直径6インチ(150mm)、8インチ(200mm)のものがよく使われる。



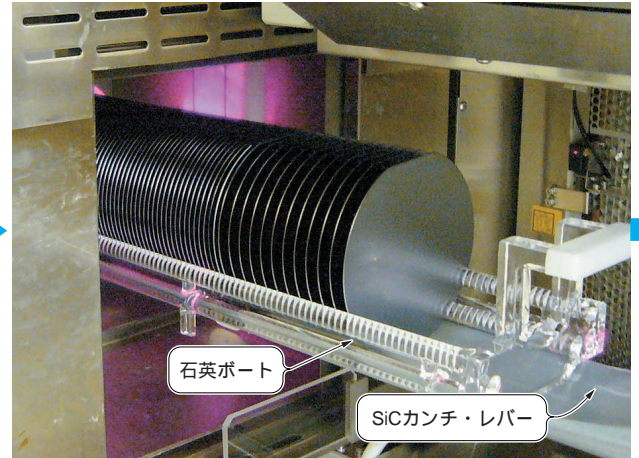
(2) ナンバリング

ウェハの表面もしくは裏面に製品ID、ロット番号、ウェハ番号などをレーザーなどでマーキングする。



(3) 洗浄

薬液を入れた槽に、テフロン・キャリアに挿入したウェハを浸漬させ、ウェハ表面に付着する微小な粒子、分子レベルの汚染物質や自然酸化膜などを除去し、デバイスの故障や特性劣化を防ぐ。洗浄する対象物により、純水洗浄、酸洗浄、アルカリ洗浄、有機洗浄などが用いられる。



(4) 酸化

Siウェハを石英ポートに垂直に並べ、このポートをシリコン・カーバイド(SiC)製のカンチ・レバーで持ち上げて、酸化炉きょう体内の石英チューブに挿入する。Siウェハを酸化炉のヒータによって900 ~ 1000 程度に加熱された高温の炉の中で酸素や水蒸気と反応させ、酸化膜を形成する。

写真1 ウェハ処理工程の流れ

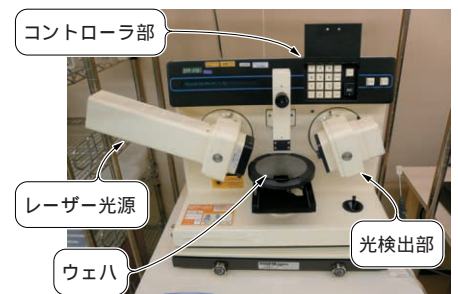
写真2

酸化膜厚の測定

酸化膜厚の測定は、(a)光干渉式膜厚計や(b)エリプソ・メータを使用する。光干渉式膜厚計は成膜したシリコン・ウェハにハロゲン・ランプからの白色光を垂直入射させ、膜の上下の界面で反射した反射光を上部の分光器で分光強度を測定し解析することにより膜厚値を算出する。このとき、膜の屈折率はあらかじめ装置に入力した値が用いられる。エリプソ・メータでは、単色斜め入射光とその反射光の偏光状態を測定することにより、膜厚のほかにも膜の屈折率、吸収係数も同時に算出することができる。



(a) 光干渉式膜厚計



(b) エリプソ・メータ