

完・全・入・門

最新技術の基本と製品総覧

FPGA & CPLD

宮崎 仁

IC技術の進歩によって、大規模なロジック回路を1個のLSIに収めることが可能となりました。現在では、ごく小規模な回路や少量生産の場合を除くと、集積度の低い汎用ロジックICを組み合わせて回路を構成する方法にはメリットがありません。複雑な回路をLSIに収めてしまえば、基板面積を縮小できるだけでなく、はんだづけを減らして回路の信頼性を向上できます。また、量産するほどコストも安くなります。

ユーザが設計した回路をLSI化する手段としては、ゲートアレイに代表されるカスタムICと、PAL/GALやCPLD/FPGAなどのPLD(プログラマブル・ロジック・デバイス)があります。

カスタムLSIはLSIメーカーに仕様を渡して発注するので、相当の開発コストと開発期間が必要です。一方、PLDはユーザが自分でプログラミングして用いることができます。適当なPLDを在庫しておけば、必要な回路を即座に作れ、開発コストもかかりません。

PLDとしては、まずPALやGALなどの

小規模なAND-ORアレイ構造のデバイスが普及しました。最近では、より大規模で設計の自由度が高いCPLDやFPGAの普及が進んでいます。2万ゲート以上の大規模デバイスや100MHz以上の高速デバイスも入手できるようになり、従来はゲートアレイで作っていた回路をユーザ自身で実現できます。

ゲートアレイとCPLD/FPGA

ゲートアレイとCPLD/FPGAには一長一短があり、目的や用途に応じて使い分けられます(表1)。

ゲートアレイは開発の固定費が大きいかわりにデバイス単価が安く、一般に量産用はゲートアレイ、試作用や少量生産用にCPLD/FPGAというように使い分けられます。

ただし、単価が高いと言われてきたCPLD/FPGAですが、普及とともに価格は下がる傾向にあります。さらに、最近では戦略的に低価格化を進めるメーカーが増えています。ゲートアレイとのコスト差は縮まっており、次第に量産分野でも

CPLD/FPGAが使われるようになってきました。

デバイスの性能面では、CPLD/FPGAはユーザ・プログラマブルにするため構造やプロセスに制約を受けます。同じテクノロジーで比較すれば、ゲートアレイの方が大規模、高速のものを作れます。

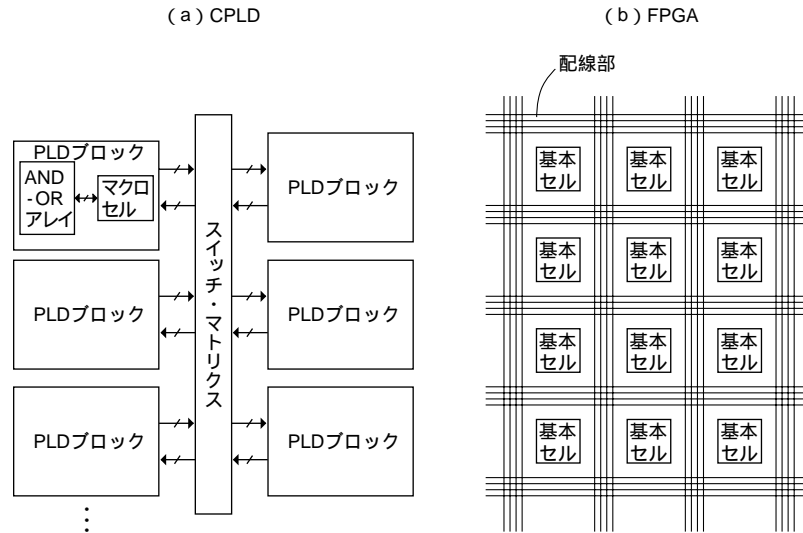
CPLD/FPGAの最大の利点は、開発期間が短く、開発コストが安い点です。ターンアラウンド・タイムなしに設計から生産に移行でき、新製品を迅速に市場に投入できます。開発中止や仕様変更の場合のリスクも小さいので、積極的に新製品開発に臨むことができます。新製品の初期ロットはCPLD/FPGAで生産して、仕様や売れ行きが安定したらゲートアレイに移行する方法も考えられます。

さらに、最近では基板上に装着したCPLD/FPGAにシリアル・インターフェースなどを通して配線情報を書き込める、インシステム・プログラミングが可能なデバイスが増えています。ハードウェアに触れずに回路の変更ができるので、生産工程や納入後のサービス作業を大きく変革できる可能性があります。

例えば、量産された標準ハードウェアに後から異なるプログラムを書き込んで多品種少量生産に対応したり、客先に納入された回路にその場でカスタマイズやバージョン・アップができます。

〔表1〕ゲートアレイとCPLD/FPGAの違い

	ゲートアレイ	CPLD/FPGA
固定開発費	高い	不要
デバイス単価	安い	高い
開発方法	メーカーに発注	自分で書き込み
開発期間	発注後数週間	即座
集積度	~100万ゲート	~10万ゲート



基本セルとしてごく単純なゲートを用いるメーカーと、フリップフロップなどを含む大規模なセル(PLDのマクロセルに類似)を用いるメーカーがある。

〔図1〕CPLDとFPGAの構造の違い

〔表2〕CPLDとFPGAの違い

	CPLD	FPGA
基本論理ブロック	AND-ORアレイ + マクロセル	単純なゲートまたはゲート + フリップフロップ
設計の自由度	低い	高い
ゲート使用効率	回路によって決まる 不向きな回路ではどうしても低効率	配置配線で変わる
伝搬遅延時間	一定(予測可能)	配置配線で変わる
動作速度	高速化しやすい 公称値に近い	高速化しにくい 配置配線で変わる
タイミング・シミュレーション	不要	必要
デバイスの性格	小規模PLDに近い	ゲートアレイに近い
適する回路形式	ステート・マシン	大規模ロジック

CPLDとFPGA

大規模PLDは一般にCPLDとFPGAの二つに分類されます。CPLDとFPGAには構造的な違いがあり、使い方にも差があります(図1, 表2)。ただし、これらを区別せず、総称して(広義の)FPGAと呼ぶこともあります。

CPLDとは、一般に22V10のようなGAL相当のセルを複数個もち、それらの基本セルの間をスイッチ・マトリクスで結合

する構造のデバイスのことを言います。PALやGALの延長上のデバイスと考えられ、設計にも同様の手法を用いることができます。スイッチ・マトリクスの遅延が一定なので回路の遅延時間が予測可能です。また、動作速度をデバイス性能の上限に近づけることが容易です。

FPGAは、1ゲート~20ゲート程度のごく小規模な基本セルを単位として、それらの間を自由に配線できる構造のデバ

イスです。よりゲートアレイに近い構造であり、回路設計の自由度が高く、大規模で複雑な回路を実現できます。そのかわり、デバイスの性能を十分に引き出せるかどうかは、開発ツールの能力や、設計者のもつノウハウに依存します。

特に、FPGAでは論理的には同じ回路でもセル配置や配線経路によって動作速度やゲート使用効率が大きく変動します。配置配線はツールで自動的に実行できま