F/6 LSIの故障検出とテスト

古川　寛

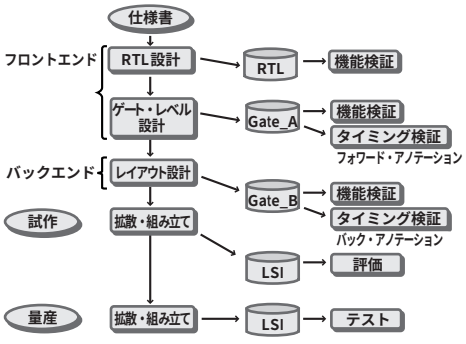
一昔前は，スペシャリストの時代といわれていた．設計者は，いずれかの設計フェーズに特化したスペシャリストになることを求められた．合成屋は論理合成だけ，レイアウト屋はレイアウトだけ，テスト屋はテストだけわかってればいいと．しかし最近になって，それぞれの設計フェーズをそれぞれが頑張るだけではすまなくなってきた．DSM(deep sub-micron)時代を迎えるにあたって，切実な問題が発生したからである．設計フローで，上流の論理情報と下流の物理情報をいかにリンクさせるかが，開発が成功するかどうかの鍵になってきた．テスト設計者も，論外ではない．よいテストを行うためには，上流でのテスト設計といった作り込みが重要になってきた．量産直前になって，深刻な問題に気づいても後の祭りである．本稿では，最終工程であり，ないがしろにされがちであるテスト設計について設計フローに絡めて述べる．　(筆者)

1 テストとは

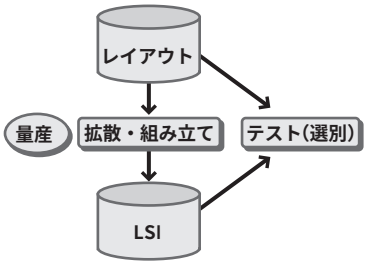
ひと言でテストといっても，いろいろな種類があります．まず，前章でも示した**図1**を見てください．本稿でいう「テスト」とは，「試作チップの評価が終了し，量産出荷の際に良品・不良品を選別するための工程」を指すことにします(**図2**)．すなわち，1個1個のチップに対して，故障があるかどうかを判定するのです．

ちなみに**図1**の「評価」は，**図3**に示すように，良品が機能的，タイミング的にレイアウトと整合性がとれているかどうかを確認することになります．レイアウトとはいってもしょせんは絵にかいたもちで，最終的にLSIになると動作しない場合もあります．本当にレイアウト・データのとおりに良品チップが動作するかどうか，これが評価です．

ちなみに，新人が最初にやらされることが多い仕事が評価です．チップを外からながめられるため取っ付きやすいというのと，単調作業や体力勝負が求められるので，若いパワーが有効だからです．テストも評価も，レイアウトとLSIの間の整合性を確認するという点では同じですが，その目的や対象とするチップ(試作か量産か)が異なることは明確に理解しておくべきです．

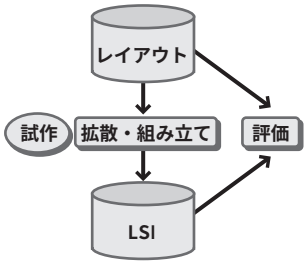


〔図1〕ASIC製品開発フロー



量産チップが故障していないかどうか，良品と不良品を選別する．

〔図2〕テストとは



試作チップが，機能的，タイミング的にレイアウトと整合性がとれているかを確認する．

〔図3〕評価とは

2 不良と故障

■故障はなぜ発生すのか

「故障」は，設計者には直接関係なく，それを作り込むのは工場です．しかし，**その良・不良を判別するネタ(材料)を提供するのは，設計者の仕事**なのです．これは重要なポイントです．設計者が作成したレイアウト・データをもとに，工場ではLSIを製造します．ここで，理想的にはすべてレイアウト・データと等価なLSIができるはずですが，実際にはそんなに単純ではありません．おもに拡散の際のゴミが原因となって[注1]，故障が発生します．チップ上にゴミという不正分子が入り込むことによって，レイアウトとチップの等価性が破壊されたわけです．あくまで顧客が求めているのは，レイアウト・データと等価な良品なので，この不良品を取り除かなくてはなりません．

注1：MOSプロセスでは，p型やn型半導体を形成させるために，ウェハ表面から不純物(イオン)を注入し拡散させる手法がとられる．ウェハ中，全チップNGという場合は，拡散工程そのものに異常があると考えられる．

これをどのようにテストして，どのように取り除くのかをこれから見ていくことにします．ディジタルLSIのロジックを対象とする，テスト・パターンについて述べます．

■コストに大きく響く歩留まり

最初に，せっかく拡散上のゴミの話がでてきたので，**歩留まり**(yield rate)という概念を説明しておきます．歩留まりとは，「何個作成したうち，何個良品が取れたか」の割合です．**図4**では，チップ・サイズと歩留まりの関係も示しています．一般的に，チップ・サイズが大きくなると歩留まりが悪くなりますが，これはその理由を表しています．昨今のチップの大規模化により，高い歩留まりを得ることが難しくなっています．

歩留まりの向上は工場の仕事ですが，設計者も認識をもつ必要があります．ちなみに，これは拡散後のウェハでの歩留まりですが，ほかにも組み立て後のモールドでの歩留まりもあります．

■初期劣化とBT

初期劣化とBTについて説明します．**図5**は，形から一般的にバスタブ・カーブと呼ばれます．横軸の時間は，数年といった非常に長いスパンとします．これは，選別の際に良品と判断されたモノが，時間的にどのくらいで壊れていくのかを表しています．すなわち，劣化です．

出荷時には良品でも，セット・メーカが使おうとした際にすでに壊れているのでは困りますよね．また，セットが出荷されてすぐ壊れるというのも，市場クレームが多発し最悪です．**図5**を見ると，チップができてからしばらくの間と，数年経過したあとによく壊れることがわかります．後者はともかく，前者がマズイです[注2]．これは**初期劣化**と呼ばれ，これを除去するために行うのが**BT**(burn-in test)という作業です．

BTは，高温高湿の状態をチップに与えることで，あたかも時間を進めたかのような状況を作るのです．たとえば，数時間のBTで数日～数ヵ月の通常使用と同じストレスをチップに対して与えることができるでしょう．すなわち，数時間のBTの後選別を行うことで，発生するであろう初期劣化を除いた良品を得ることができるのです．

メーカやLSIによってBTが行われる場合と行われない場合があります．

■不良混入率

ここからが本題です．顧客が製品の信頼性の指標とするものに**不良混入率**があります．購入した製品の中に，どれだけの不良品が入っているかを示します．この不良品は，たんに不良品の分だけ損をこうむるだけでなく，顧客のセットに実装された状態での出荷前テストで発見されたり，はたまた間違って市場に投入され一般ユーザがセットの不良で損害を生じたりします．こうなると賠償問題にもなりかねませんし，信頼を失うことになります．

この場合，その原因である不良チップの特定や，本当に不良なのかを調査する必要があります．このような不良品は，クレームとして設計者の元に戻ってきます．クレーム品が多発すると，設計者の手を取られ工数を圧迫することになり，次製品の開発スケジュールにも影響を及ぼします．設計者は，これらの点に十分に気をつける必要があります．

不良混入率にはppm(parts per million)という単位が用いられます．すなわち，百万個に何個の不良品が含まれているかを表します．たとえば，百万個出荷の後30個の不良品が発生した場合，不良混入率は30ppmだといいます．最近ではより厳しいdpm(defects per million)という単位を用いる場合もあります．これは，百万個に何個の不良が含まれているか．たとえば，百万個に100個の不良品があるが，1個の不良品には2個の不良(故障)が含まれていれば，30ppmであり60dpmでもあるのです．

■故障検出率

しかし，不良混入率は量産出荷後それなりの数が出なければわかりません．それまで設計者は黙って待つだけではなく，不良混入率を抑えるべく，できるかぎりの手段を講じる必要があります．その一つの指標に**故障検出率**があります．

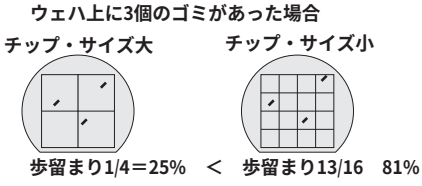
故障検出率とは，「どれだけの故障を検出できているかという割合」です．「えっ，すべてを検出できないの？」と思われかもしれませんが，実際にすべての故障を検出することは不可能なのです．その理由は二つあります．

(1) 故障検出率を上げるためには膨大な工数を要する
(2) 故障検出率を上げるためには膨大なテスト・パターン数を要する

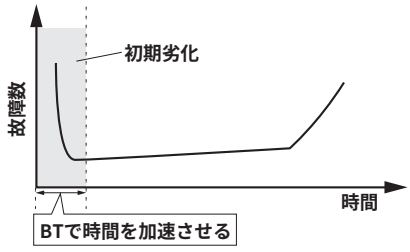
ここで，(1)については後述します．(2)では，テスト時間の増大を招き，テスト・コストに跳ね返ってきます．

不良混入率と故障検出率，これらに反比例の相関があるのは事実ですが，明確なことは量産出荷の後にしかわかりません．LSI開発時にはわからないのです．

一般的に，95%の故障検出率を達成していれば，不良混入率として問題にならないといわれています．過去に出荷した製品のデータがあれば，そこから予測することも可能でしょう．通常，品質管理



〔図4〕チップ・サイズと歩留まり



〔図5〕バスタブ・カーブ

注2：ある程度のところで壊れてもらわないと売れない．逆に品質という面では，ある程度のところまでは壊れてはいけないともいえる．