

新連載

実践的

# アナログ・ビヘイビア・モデリング

第1回

A-Dコンバータの設計フローとモデリング

Analog Behavior Modeling

在原 栄一, 室田 敏夫

†印のついた用語は、p.70の「用語の説明」を参照。

アナログ・ビヘイビア・モデリングの解説を連載でお届けします。大規模なアナログ回路や構成の複雑なアナログ回路を設計する場合、シミュレーション時間を短縮できるアナログ・ビヘイビア・モデリングの考え方が不可欠になります。これは、全体回路をブロック分割し、各ブロックのビヘイビア・モデル(方程式やテーブルによるモデル)を作成してシミュレーションするという方法です。SPICEでは検証に数日かかるような回路でも、ビヘイビア・モデルを使えば数分～数時間で検証が完了します。ただし、この手法には、モデリングのやり方を誤ると、精度の悪い解析結果しか得られないという問題があります。本連載では、A-Dコンバータを例に、アナログ・ビヘイビア・モデリングの実例を紹介いたします。(編集部)

システムLSIに搭載されるA-Dコンバータの一つに、 $\Delta$ - $\Sigma$ 型A-Dコンバータがあります。この方式は $\Delta$ - $\Sigma$ 変調理論を利用しています。つまり、入力信号を低分解能(たとえば1ビット)で量子化(A-D変換)し、その際に発生する誤差(ノイズ)に対してフィルタをかけて、気になるノイズ成分を抑圧するというものです。結果として、アナログ部品点数を抑えられる、比較的高精度を得やすいといった特徴があります。このため、 $\Delta$ - $\Sigma$ 型A-Dコンバータはオーディオ用途や計測用途で広く採用されています。

しかし、この $\Delta$ - $\Sigma$ 型A-Dコンバータを「設計・検証」という観点からみると、一筋縄ではいきません。その特性を評価するためには、SN比<sup>†</sup>(信号対ノイズ比)や全高調波歪み<sup>†</sup>(THD: total harmonic distortion)を測定する必要があり、長時間の回路シミュレーション(過渡解析)を行わなければなりません。また、素子ばらつきによる系の安定性や、OPアンプなどで発生する非線形性が回路全体の性能に及ぼす影響を確認するためにも、多くの入力信号パターンを使って、長時間にわたって過渡解析を行う必要があります。このような場面でアナログ素子レベルの回路シミュレーション(たとえ

ばSPICEなど)を実行することは現実的とは言えません。

そこで、アナログ・ビヘイビア・モデリングの出番となります。アナログ素子のレベルではなく、抽象度の高いビヘイビア・レベルで検証することにより、非線形要素やデバイス・ノイズが回路全体の性能に及ぼす影響を短時間に知ることができます。ただし、アナログ・ビヘイビア・モデリングには、やり方を誤るとシミュレーションの精度が低下し、無意味な結果を出力するというやっかいな問題もあります。

## ■連載の概要

本稿では、 $\Delta$ - $\Sigma$ 型A-Dコンバータの設計・評価を例に、アナログ・ビヘイビア・モデリングの手法について解説していきます。連載回数は4回を予定しています。

連載の1回目(今回)は、まず、A-Dコンバータ全般の方式と用途のトレンドについて紹介し、A-Dコンバータの設計フローを説明します。とくに、システムLSIでよく利用される二つの方式(全並列型とパイプライン型)を例に、設計手順を詳しく説明します。

連載の2回目以降では、 $\Delta$ - $\Sigma$ 型A-Dコンバータの設計事例を示します。連載の2回目で、まず $\Delta$ - $\Sigma$ 型A-Dコンバータの理論的背景を説明し、これをモデリングする方法を述べます。連載の3回目と4回目で、実際に $\Delta$ - $\Sigma$ 型A-Dコンバータを設計する過程を説明していきます。

シミュレータとしては、ビヘイビア・モデルを扱える米国Silvaco International社の回路シミュレータ「SmartSpice」を利用します<sup>1)・2)</sup>。SmartSpiceはSPICEベースの回路シミュレータですが、独自に拡張した「A素子」と呼ばれる表現でビヘイビア・モデルを記述できます。なお、アナログ・ビヘイビア・モデリングの考え方は特定のシミュレータに依存するものではありません。アナログ・ビヘイビア・モデルを扱える検証環境(たとえば、Verilog-AMS, VHDL-AMS, Saberなど)があれば、本稿の内容はさまざまな場面で応用がきくと思われます。

# 1 アナログ・ビヘイビア・モデリングとは

アナログ回路の評価にビヘイビア・モデルを用いる意義(目的)は、おもに次の2点にあります。

## (1) 検証(シミュレーション)時間の短縮

1回あたりの検証時間が短縮することで、より大きな規模の回路や、より多くの条件について、仕様の検討を行うことができます。たとえば、オーディオ用途の $\Delta$ - $\Sigma$ 型A-Dコンバータ(5次)の評価にビヘイビア・モデルを使った場合、シミュレーション時間は、ビヘイビア・モデルを使わなかった場合の1/1,000以下になります(SmartSpiceによる比較)。

## (2) 不具合箇所の迅速な特定

実チップを使ったデバッグ(トラブル・シューティング)を迅速、かつ確実にします。あらかじめ、各回路ブロックのパラメータを全体性能と関連づけて設計することになるので、実チップによる測定結果に対する問題箇所の絞り込みが容易になります。

## ■ ニュートン・ラブソン計算を省いて高速化

次に、ビヘイビア・モデルの作り方について説明します。

アナログ回路の設計では、ニュートン・ラブソン計算<sup>1</sup>で解を求めるSPICEを使用するのが一般的です。このニュートン・ラブソン計算は、非線形素子についても正確な解を与えますが、処理に多くの時間を要します。

これに対して、アナログ・ビヘイビア・モデルでは、数式やマップ(対応表)によって入出力関係を定義したり、非線形素子に対する線形化(近似)を行います。また、SPICEなどを用いて、回路がもつ非線形性や素子バラツキ、ノイズの情報を盛り込みます。

アナログ・ビヘイビア・モデルを用いた検証(シミュレーション)ではニュートン・ラブソン計算を使用しないため、処理時間が大幅に短くなります。また、トップダウンに回路の分割やビヘイビア化を進めることになるため、デバッグ時の不具合箇所の特定が容易になります。

## ■ アナログ・トップダウン設計フロー

アナログ・ビヘイビア・モデリングによる設計フローの例を図1に示します。これは筆者がA-Dコンバータを設計する場合に利用しているフローの例で、人によって、あるいは設計対象によって異なることがあります。

### ① アーキテクチャの構想

まず、アーキテクチャを考えます。アーキテクチャとは、採用する方式とアルゴリズムの両方を意味します。

### ② 機能の分割

アーキテクチャ全体を、いくつかの機能ブロック(ファンクション・ブロック)に分割します。これは、方式およびアルゴリズムの妥当性について、第1段階の検証を行うためです。なお、この段階で、具体的な回路イメージをもつことが重要です。

### ③ 基本動作レベルのビヘイビア・モデルの作成

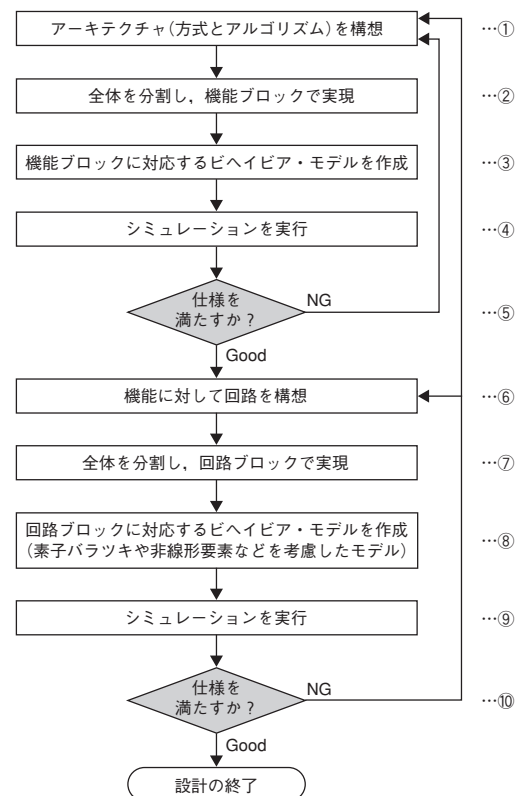
機能ブロックに対応するビヘイビア・モデル(基本動作レベル)を作成します。ビヘイビア・モデルの記述には、SmartSpiceのA素子、Verilog-AMS、VHDL-AMS、Saber(MAST言語)、C言語などを使います。

### ④ 基本動作レベルのシミュレーション

定義した機能ブロックのビヘイビア・モデルを使って、シミュレーションを行います。ここで基本的な機能チェックを行います。

### ⑤ 基本動作レベルのシミュレーション結果の評価

シミュレーションの結果、仕様を満たすようであれば次の段階に進みます。かりに、仕様を満足しないようであれば、①に戻ってアルゴリズムまたは方式の変更を検討します。



〔図1〕ビヘイビア・モデルを用いたA-Dコンバータの設計フロー

多くの条件について検証(シミュレーション)する必要があるため、段階を踏みながら、トップダウンに設計していく。実際のチップを使ってデバッグを行う際にも、ビヘイビア・モデルがあると問題の絞り込みが速くなる。