

ミリオンゲートPLD時代の 合成ツール

Amplify

今野 実

半導体製造技術の進歩により、PLDの性能が向上している。しかし、大規模、高速なデザインを実装しようとするとき、タイミング制約が満たされない場合が多い。この結果、HDL記述の修正、論理合成、配置配線の作業を繰り返すことになる。ASIC設計者はすでにこのような問題に直面しており、この問題を効率よく解決するためのEDAツールも発表されている。

しかし、現状のPLD開発環境でこの問題に対処するには、ネットリスト・レベルのフロアプランナやタイミング解析の援用がおもであり、本稿で紹介する米国Synplicity社の「Amplify」は、大規模PLD設計のタイミングの問題に焦点を当てた論理合成ツールである。(編集部)

1. 最近のPLDの特徴と設計上の問題点

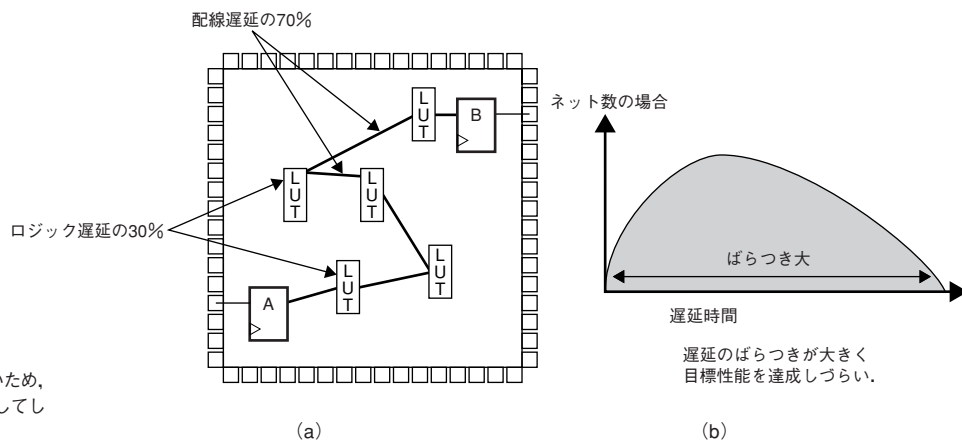
今日のPLDは、最新の半導体製造技術に支えられ、大規模・高速化を達成しています。また、システム・レベル設計を行うための基盤も備えつつあります。たとえば、PLL/DLLといったクロック・シンセシス・モジュール、TTL/PECL(ポジティブECL)といった複数のI/Oインターフェースの装備などにそのようすがうかがえます。デバイスの高性能化/高機能化だけではなく、多くのIPコアが供給され、設計面でのサポート体制も強化されています。一昔前のように回路ブロックの実装用という位置づけだけでなく、システム全体を実装するチップとしての位置づけも定着しつつあります。

しかし、PLDの製造プロセスの微細化/大規模化にともない、論理回路の遅延よりも配線遅延のほうが支配的になっています。たとえば、遅延全体の70%を配線遅延が占めるデザインも珍しくありません。つまり、ASIC設計がかかえる「タイミングのコントロールが困難」という問題がPLDにも生じているのです。ASIC設計では、すでにこの問題に直面しており、RTLフロアプランナなど配線遅延の問題に対処するための、さまざまな開発支援ツールがEDAベンダから提供されています。しかし、PLD設計においては、基本的にPLDベンダが提供するツール群を用いてデザインの改善を行うしかないのが実情です。この方法ではデザインの改善に多大な時間を費やすことになり、製品化までにかかる期間が短いというPLDのメリットが薄れる可能性があります。

ASIC製造のプロトタイプや量産製品への適用など、PLDの利用範囲は格段に広がりましたが、大規模PLDデバイスの性能を生かした設計を短期間で行うことが非常に困難になっているのが現状です。

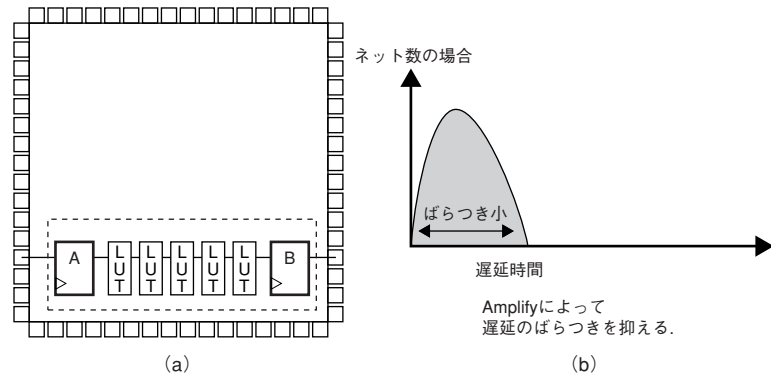
2. PLD用合成ツールと配置配線ツールの現状

システムの動作速度を向上させる手段としては、RTL記述の修正、論理合成ツールに与えるタイミング制約の変更、ネットリスト・レベルでのフロアプランの実行がおもに考えられます。しかし、たとえばネットリスト・レベルのフロアプランを手作業で行うには、デバイスの構造を知る必要があるのは



〔図1〕従来の設計手法

配置情報に基づいた合成を行えないため、物理的に適切でないリバスを最適化してしまう可能性がある。



〔図2〕 Amplifyによる設計手法

ユーザが論理を配置する領域をあらかじめ指定することにより、与えられた物理的制約に対して最適なネットリストを生成する。

もちろん、デザインのネットリスト・レベルの構造をも把握しなければならず、専門の知識と大変な時間を要求されます。しかも、このような手段では既存のネットリストの配置変更にとどまり、ネットリストの最適化までは行えません。

またRTL記述の修正、論理合成ツールに与えるタイミング制約の変更だけでは、以下に示す二つの大きな問題に直面するため、動作速度の向上を望むのはむずかしいでしょう。

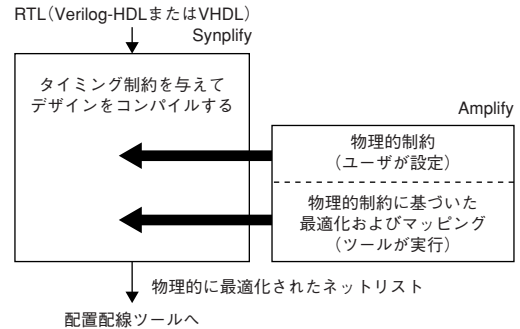
- 物理的に適切でないパスを論理合成ツールが最適化する可能性が大きい。これは、論理合成ツールが物理的な配置情報を考慮できないため、平均配線長によるクリティカル・パスの抽出を行うことが原因で生じます。
- 配置配線時に論理段数の多いネットが必ずしも近接して配置されるとはかぎらない。これは、配置配線ツールがデザイン全体を大域的(最大公約数的)に処理することが原因で生じます。

上記の2点が原因して、配置配線後の配線遅延時間に大きな幅ができ、結果として必要な動作速度を達成することが困難になります(図1)。

本稿で紹介するSynplicity社の「Amplify」は、この問題を解決する手段として開発されたソフトウェアです。上記2点の問題に対する同ソフトウェアのアプローチを以下に示します。

- 配置を考慮した物理的制約を合成ツールに与える。また、物理的制約はRTLで設定する。これにより、合成ツールは物理的配置に基づいた最適化を行えるようになります。
- 配置配線ツールに配置エリアを限定して指示する。これにより、クリティカル・パスがまとまったエリア内に配置できるので、遅延の局所的なコントロールが可能になります。

デザイン全体のフラットなネットリストに代わり、物理的な配置情報に基づいて最適化したネットリストを出力し、配置配線ツールに組織的な配置制約を与えることで、両者のギャップを埋めることができます。これによって遅延時間のばらつきを抑え、動作速度の向上を図るのが同ソフトウェアの方針です(図2)。



〔図3〕 SynplifyとAmplifyの動作

SynplifyとAmplifyが連動して、物理的に最適化されたネットリストの生成と配置制約が実行される。

3. Amplifyの構成

AmplifyはSynplicity社のFPGA/CPLD用合成ツール「Synplify」と組み合わせて使用します。Amplifyは次に示す構成/フローをとります(図3)。

- Synplifyを使ってRTL記述を解析し、合成する。
- 配置配線を一度行う。
- 配置配線後に得られるクリティカル・パス情報に基づいた物理的制約(フロアプラン・データ)をユーザがAmplifyを使って作成する。つまり、クリティカル・パスを含むコンポーネントを特定の領域(以降リージョンと呼ぶ)に収める作業(フロアプラン)を、Amplifyのフィジカル・ビューワのGUI、あるいはコマンド群を使ってユーザが行う。
- Amplify独自の最適化エンジンである“P-Plan”が、ユーザの設定した物理的制約に基づいた最適化を行う。最適化のおもな内容は以下のとおり。

(a)リージョン内の論理の複製を生成

遅延に影響を及ぼすファンアウトへの対策をクリティカル・パスに対してのみ実行する(図4)。

(b)ロジック・トンネリング

リージョン内およびリージョン間の遅延を計算することで、論理の配置位置/複製を決定する(図5)。