

Spartan-IIの実力を 検証してみる

八木 憲司

米国 Xilinx 社は、新しいPLD ファミリ「Spartan-II」を発売しました。Spartan というネーミングを冠したデバイス・ファミリは今までに2品種が存在しており、いずれも同社のXC4000 ファミリのアーキテクチャを継承していました。今回レポートするSpartan-IIファミリは、同社の最上位PLDであるVirtexファミリのアーキテクチャを継承しています。同社はSpartan-IIファミリを、量産品向けの低価格デバイス、と位置付けています。本記事では、このデバイス・ファミリの特徴、従来品との性能比較およびサンプル回路によるテスト結果をお届けします。

(編集部)

1. Spartan-IIの特徴

読者の皆さんは米国 Xilinx 社から発売されている、Spartan-II という新しくラインナップされたデバイスをすでにご存知のことと思います。筆者はまだ使用したことがなく、データ・シートなどを Xilinx 社のホームページからダウンロードして、それなりに関心をもってチェックをしていた段階でした。

Spartan-II は、低価格+高容量をメインに宣伝されていますが、その中で筆者が強烈な印象を受けた言葉が「10万ゲートで10ドル」と「サヨナラ ASIC」です。速度、集積度、プログラマビリティを武器にASICにとってかわることを宣言しているわけです。このなんとも強気の宣伝文句は製品に対する自信からくるものでしょう。しかし、実際のところどうなのだろうかという疑問もわいてきます。

デバイスを使う側としては、速度、集積度、プログラマビ

〔表1〕Spartan-IIファミリ一覧

Spartan-II では、6製品が用意されている。表には示していないが、最近XC2S200(システム・ゲート数20万)も追加された。ちょっとした制御回路なら、Spartan-II で事足りてしまうのではないかな?

型名	XC2S15	XC2S30	XC2S50	XC2S100	XC2S150
最大システム・ゲート	15,000	30,000	50,000	100,000	150,000
ロジック・セル	432	972	1,728	2,700	3,888
CLB	96	216	384	600	864
ブロックRAM(ビット)	16K	24K	32K	40K	48K
最大I/O	86	132	176	196	260
パッケージ・タイプ	VQ100 TQ144 CS144	VQ100 TQ144 CS144 PQ208	TQ144	TQ144	
			PQ208 FG256	PQ208 FG256 FG456	PQ208 FG256 FG456

リティはたいせつな要素ですが、低価格と反比例する関係にあったと言えます。しかし、Spartan-II ではこの低価格までも実現したというのだから、もし本当ならば、このデバイスは設計者にとって魅力的で歓迎すべきものです。このデバイスを筆者なりに検証したのでレポートします。

1.1 Spartan-IIの基本性能を比較してみる

まず全体を見渡すために、製品のラインナップからその特徴を見てみることにします。Spartan-IIファミリは6個の製品からなり、容量的には15,000ゲートから200,000ゲートまでをサポートしています(表1)。

従来のSpartanファミリは、集積度が5,000~40,000ゲートでした。したがって集積度の面では、従来品の3~5倍の高集積度です。とくに、最近追加発表されたXC2S200では、200,000ゲートの高集積度を実現しています。これならちょっとした制御回路どころか、かなり高機能な回路も実装できる容量です。

次に性能面ではどうでしょうか? Spartan, Spartan-XL, Spartan-IIのパフォーマンスの比較を表2に示します。

表2より、I/Oパフォーマンスが飛躍的に改善されていることがわかります。Spartanファミリと比較して2.5倍、Spartan-XLファミリとくらべても2倍の動作周波数を実現しています。さらに、データ・シートによるとFPGA内部は

〔表2〕Spartanファミリ3種の機能比較

パッケージのサポート数をのぞけば、ほぼSpartan-IIの一人勝ちである。

ファミリ名	Spartan-II	Spartan-XL	Spartan
集積度	15K-150Kゲート	5K-40Kゲート	5K-40Kゲート
I/Oパフォーマンス	200MHz	100MHz	80MHz
アーキテクチャ	Virtex 派生	XC4000 派生	XC4000 派生
ブロックRAM	あり	なし	なし
分散RAM	あり	あり	あり
DLL	あり	なし	なし
I/O規格	16	4	4
コア電圧	2.5V	3.3V	5V
5V耐性	あり	あり	あり
製造プロセス	0.18/0.22 μ m	0.25/0.35 μ m	0.35/0.5 μ m
パワー・ダウン	強化	基本	なし
設定モード	Serial, Express, JTAG	Serial, Express, JTAG	Serial, JTAG
パッケージ・タイプ	VQ100, TQ/CS144, PQ208, FG256/456	PC84, VQ100, TQ/CS144, PQ208/240, BG256, CS280	PC84, VQ100, TQ144, PQ208/240, BG256

350MHz以上で動作可能としています。ただし(すでにご存知のことだろうが)、実際に回路を組んだ場合、ロジック段数や配置によって遅延時間が変わるので、この数値を鵜呑みにしてはいけません。しかし、速度、集積度に関しては飛躍的な進化を遂げた製品であることはまちがいありません。

1.2 プログラマビリティ(設計の自由度)

技術的な面ではどのような改良がなされたのか?

表1と表2に示したとおり、Spartan-IIでは内部構造に従来のファミリとは異なる改良が加えられています。改良された機能をまとめると、次に挙げる3点になります。

- (1) ブロックRAMを装備(Block Select RAM+)
- (2) デレイ・ロックト・ループを装備(DLL)
- (3) 16種のI/O規格を装備(Select I/O)

これら3点の新機能によってプログラマビリティを向上しているようです。これらについては、筆者もあまりなじみがないので、それぞれどのような機能をもつものなのかを説明することにします。

(1) ブロックRAM(Block Select RAM+)

Block Select RAM+(以下、ブロックRAMという)は、4,096ビットを1ブロックとしたメモリ・セルの集合体です。入出力ともに同期型で、シングル・ポートとデュアル・ポートをサポートします。プリミティブでもある程度のフォームが用意されていますが、COREgen^注を使うと自由にカスタマイズが行えます。Spartan-IIでは一番小さいXC2S15の内部構造を図1に示します。

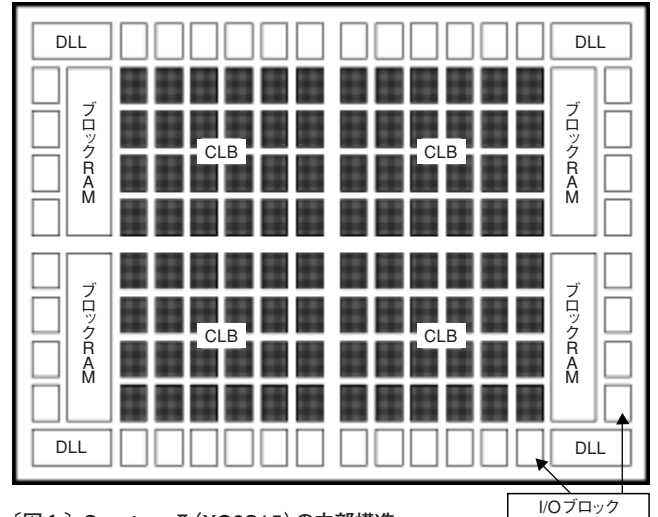
図1に示すように、8×12のマトリックスでCLBが配置されていて、縦のエッジにCLB4段ごとに左右で一つずつ、計4個のブロックRAMが装備されています。Spartan-IIファミリは、この縦4段ごとにブロックRAMが増えているので、各製品ごとにブロックRAMは2個ずつ増えることになります。

ここで、論理配置による配線遅延が気になるところですが、データ・シートによると、特殊な配線構造が使用されていて配線遅延を押さえる工夫がされているようです。筆者は、最近Virtexを使用した設計を経験したのですが、このときも配線遅延による動作周波数の低下はほとんど見られませんでした。ちなみにブロックRAM全体の8割を使用したデザインでした。Virtexの設計経験の詳細はコラム1にまとめました。

(2) デレイ・ロックト・ループ(DLL)

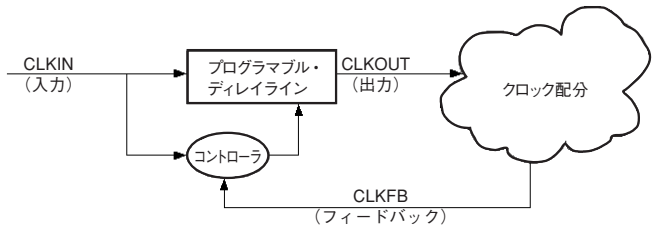
DLLは4個装備され、図1のように各コーナーに配置されています。DLLは、プログラマブル・ディレイ・ラインと、これに対する制御ロジックを基本に構成されています(図2)。

DLLは次のように動作します。すなわち、クロック入力とフ



〔図1〕 Spartan-II (XC2S15) の内部構造

CLBマトリックスの縦の列(4段)ごとにブロックRAMは左右1個ずつ計2個ずつ増えていく。一つのブロックRAMは、4,096ビットの容量をもつ。



〔図2〕 DLLの基本構成

プログラマブル・ディレイラインと制御回路で構成される。入力クロックとフィードバックを比較して遅延量を決定している。

ードバックしたクロックの位相差を比較します。位相差に応じてディレイ・ラインの遅延量を変化させ、クロック・スキューを排除していきます。クロック入力に対して位相が360°ずれるように調整すれば同相クロックを生成することになります。これがクロック・スキューを除去するための仕組みです(図3)。

DLLにより配線負荷などによって発生するクロック・スキューを除去できます。また、DLLはデバイス内に4個用意されていて、使用方法によってはデバイス内部と周辺回路のクロック・スキューを除去することにも利用できます。さらに、分周や通倍の機能も備わっているので、簡単に同期分周クロックを作成できます。このときもクロック間の遅延は保証されます。

(3) 16種のI/O規格(Select I/O)

Spartan-IIのI/Oブロックは、Virtex-Eファミリ同様に特殊な8個のI/Oバンクをもち、16種のI/O規格を実現できます(図4)。簡単にいうと、TTL、差動入出力、電圧に関しても1.5V/2.5V/3.3Vに対応しています。さらに5V耐圧も実現しています。また、各I/Oバンクごとに独立して設定できるので(ただしパッケージによってできないものもあるので注意)、1チップ内で複数のI/Oタイプをサポートできます(表3)。

注：COREgenは、Xilinx社が提供する開発ソフトウェアの名称。同社デバイス用のメガ・セルを対話的に生成するためのGUIを備える。