

アナログ集積回路のノイズ耐性向上

谷口研二

アナログ回路の基礎についての連載の第2回目である。今回は、チップ内部で発生するノイズの原因を探り、これを抑えるための方法を解説する。また外来のノイズに強いチップを設計するための方法についても考える。

(編集部)

はじめに

今回は、アナログ回路の天敵であるノイズを抑える方法についてお話しします。

執筆するにあたって、手近にあるアナログ回路の教科書を取り出してみました。ノイズに関する詳細な記述はほとんどありませんでした。このためでしょうか、教科書どおりにアナログ回路のLSIを設計しても、ノイズが大きすぎて使い物にならないことが多いのです。特に初心者のうちは、ほとんどのみなさんがこの問題で苦労するといっても過言ではありません。

こんなに人を苦しめるノイズが、なぜ教科書に記載されていないのでしょうか。この連載を読んでいると追々わかってくると思いますが、実は教科書にもノイズのことは書かれています。記述が簡潔すぎるために、見逃してしまっているのです。

アナログ回路のノイズは決して摩訶不思議なものではありません。アナログ回路設計の専門家は「初心者が設計した回路やレイアウトなどを見ると、ノイズが入る経路が見える」と言います。専門家は数多くの失敗した経験から、回路やレイアウトのどこに問題があるのかを即座に見抜くことができます。バブル全盛のころは、技術者が

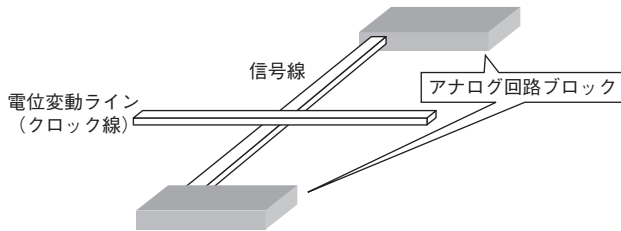
チップ回路設計で失敗しても大口に泣きつづりました。しかし、最近のせちがらい環境では、若手の技術者は先輩のときほど失敗を許してもらえません。次から次へと頼まれる回路設計を効率良くこなすことが優先され、失敗を繰り返しているとあっという間に仕事の山に埋もれてしまいます。かといって、ノイズの問題を熟知している優秀な技術者は忙しすぎて、なかなか初心者への教育にまで手を貸してくれません。

企業の幹部からは、「大学でももう少ししっかりと教えてくれているなら…」と不満が出てきそうです。しかし、大学の学生は、アナログ回路の設計よりももっと基礎的な電磁気学や電気回路などを勉強することで精いっぱいなのです。また、電気系の学生が習得すべき技術分野が広くなってきたため、彼らは幅広い応用分野を浅くまんべんなく勉強して卒業していくのです。

もちろん、アナログ回路に興味を持っている大学院生には専門教育を施します。しかし1～2年の経験しかできないので、卒業してすぐに戦力になるわけではありません。

大学の教官がこんな言いわけばかりしていても問題の解決になりません。いずれ将来的には、教育効果の高いアナログ回路の専門家を養成するカリキュラムが必要となるでしょう。そのときにはやみくもに回路シミュレーションを使ってアナログ回路を経験させるのではなく、回路のエッセンスを系統立てて教え、それを確実に理解させる方法をとらなければなりません。アナログ回路のエッセンスを理解した技術者や学生は種々の問題に直面したとき、簡単な思考実験を通して問題解決を図れるようになるはずです。

今回は、初心者にとって泥沼化しやすいアナログ回路



〔図1〕 信号線とクロック線が交差している箇所の模式図

クロック線の電位が変動すると、キャパシタンス結合によって信号線にノイズが重畳する。

のノイズについて、できるだけ系統立ててお話ししたいと思います。

ノイズを伝える三つの要素

ご存じのとおり、回路内で大きなノイズが発生すると、高精度な信号処理はできません。アナログ回路では、ノイズの大きさによって、処理可能な信号の下限が決まります。

この迷惑千万なノイズは、

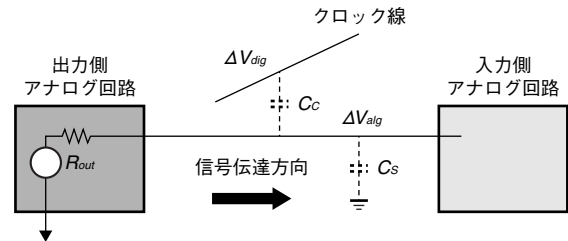
1) 抵抗やトランジスタのように回路を構成する素子が発生する真性ノイズ

2) 外部から伝播してくるノイズ

の二つに分類できます。連載の第1回では、前者に関するノイズを解説しました。今回は後者のノイズに焦点を置いて解説していきます。

外部から伝わるノイズは、Maxwellの電磁界方程式にまで立ち戻ると完璧に理解することができます。しかし電子回路技術者にとっては、電場や磁場などより、もっと身近なキャパシタ、インダクタ、抵抗で表現するほうが理解しやすいに決まっています。例えば、「配線の電圧を変化させると、配線間の電場を介した相互作用によってもう一方の配線の電位が変化します」とか、「配線に電流を流すとそれによって生じた磁界を打ち消すように他方の配線に電流が流れます」と説明するより、「寄生キャパシタや寄生インダクタによって配線に電圧や電流の変化が起こります」と表現したほうが簡潔でわかったような気になるでしょう。

ノイズは、寄生キャパシタ、寄生インダクタ、寄生抵抗を経由してアナログ回路に伝わります。これらの寄生素子は、電子回路の設計の段階ではまったく見えません。アナログ回路をシリコン基板の上にレイアウト（配置）し



〔図2〕 図1の等価回路

クロック線に ΔV_{dig} の電位変動があると、キャパシタ C_c を介してノイズがアナログ信号線に重畳する。寄生容量 C_c と出力抵抗 R_{out} を小さくすると、信号線の電位変動を抑えることができる。

た途端に現れてきます。どんなに優れたレイアウトをしても寄生素子成分 (L, C, R) を完全に排除することはできません。このためアナログ回路の設計者は、どんな場面でも隠れた寄生素子に配慮して回路を設計しなければなりません。

以下では、3種類の寄生素子を個別に取り上げ、それらを介したノイズの伝播について説明します。

●寄生キャパシタを介して伝播するノイズ

図1は、クロック線がアナログ信号線に隣接している配線のレイアウトを示しています。このような配線構造は、集積回路の内部のいたるところにあります。

クロック線とアナログ信号線の間には、寄生キャパシタンス C_c が存在します(図2)。そして、クロック線の電位が変動するたびに、アナログ信号線の電位も変化します。このとき、(キャパシタンス C_c) × (クロック線の電位変動 ΔV_{dig}) に相当する電荷量が信号線に即座に供給できれば、信号線の電位は変わりません。しかし実際の回路では、配線の抵抗や駆動回路のインピーダンスのため、電荷の供給には有限の時間がかかります。それでも信号線をいつも低インピーダンスの出力回路で駆動していれば、クロック線の電位変動によるノイズ伝播量は大幅に低減できます。

ここで、過渡応答特性のようすを定量化して理解するため、数式を用いて計算してみましょう。信号線の出力インピーダンスを R_{out} とすれば、アナログ信号線の電位変動量 ΔV_{alg} は、クロック線の電位変動 ΔV_{dig} と次式で関連づけられます。

$$\Delta V_{alg} = \frac{C_c}{C_c + C_s} \Delta V_{dig} \exp\left(-\frac{t}{R_{out}(C_c + C_s)}\right) \quad (1)$$