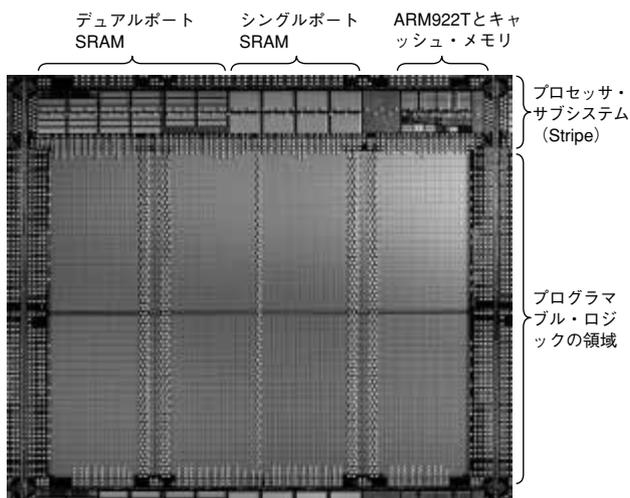


デバイス・アーキテクチャの決断

—Altera社
ARM-based Excaliburの場合

Roger May,
Martin S. Won,
Jason C. Chiang

昨年(2001年)ころから、PLDにハード・マクロのCPUコアを内蔵した製品が登場し始めている。ハードウェアとソフトウェアの両方のプログラマビリティを備えるこれらのデバイスは、小型化とtime-to-marketが要求される組み込み機器の設計には有益に見えるが、はたして設計者にはどういったメリットやデメリットを与えてくれるのだろう。ここでは、「ARM-based Excalibur」を発表した米国Altera社のデバイス・アーキテクチャが、CPU内蔵PLDのアーキテクチャ上の優位点や開発時の問題点について解説する。(編集部)



〔図1〕 ARM-based Excalibur デバイスのダイ

ARM-based Excalibur デバイスのダイの写真。ハードIPのプロセッサ・サブシステム (Stripe) の領域とプログラマブル・ロジックの領域に分かれている。

PLDベースのシステムが急増する中、エンジニアはディスプレイ部品とPLDを組み合わせた、PLDやASICにIPコアを実装するなど、さまざまな設計手法を利用しています。

2001年の夏、筆者ら(米国Altera社)はハード・マクロのCPUコアを内蔵したPLD「ARM-based Excalibur (EPXA) ファミリ」を出荷しました(表1)。ARM-based Excaliburは、柔軟性のあるプログラマブル・ロジックの領域とハード・マクロのIPコアで構成される領域(プロセッサ・サブシステム)を緊密に統合した製品です(図1)。ハードIPのサブシステムは、ARM9コアやキャッシュ・メモリ、メモリ管理ユニット、周辺回路、メモリ・コントローラなどで構成されています。

本稿では、筆者らがある特定の複雑な設計に対応するためになぜARM-based Excaliburのようなアーキテクチャを選んだのか、また、本アーキテクチャを開発する際に、

〔表1〕

ARM-based Excalibur ファミリの概要

表に ARM-based Excalibur ファミリの製品とそれぞれの機能を示す。現在、ローエンドの「EPXA1」からハイエンドの「EPXA10」まで、すべてのARM-based Excalibur デバイスを出荷している。

型名	EPXA1	EPXA4	EPXA10
CPUコア	ARM922T	ARM922T	ARM922T
最大システム・ゲート数	263,000	1,052,000	1,772,000
標準ゲート数	100,000	400,000	1,000,000
ロジック・エレメント (LE)	4,160	16,640	38,400
エンベデッド・システム・ブロック (ESB)	26	104	160
プログラマブル・ロジック領域のRAM (ビット)	53,248	212,992	327,680
シングルポート SRAM (Kバイト)	32	128	256
デュアルポート SRAM (Kバイト)	16	64	128
ユーザ I/O 数	186/246	434/496	711
パッケージ (FineLine BGA)	484ピン/672ピン	672ピン/1,020ピン	1,020ピン

どのような点が問題となったのかについて解説します。

●なぜARM9 コアなのか

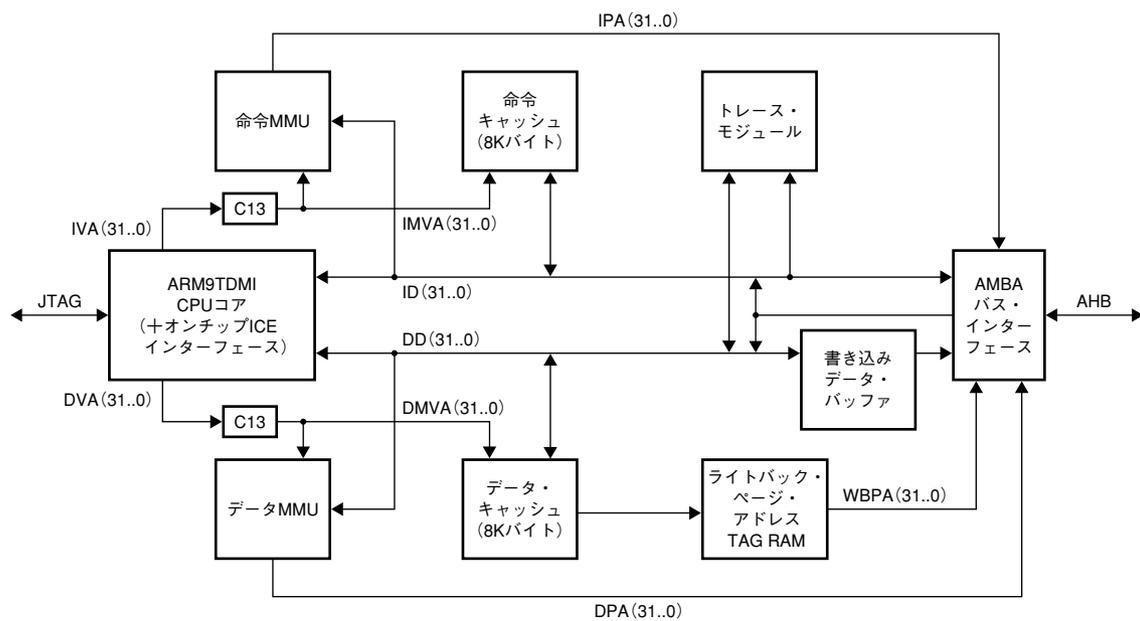
ハードIPとしてPLDに組み込むCPUについて、頻繁に議論されるテーマがあります。それは、標準的なCPUアーキテクチャと独自仕様のCPUアーキテクチャのどちらを選択すべきかということです。選択肢は多数存在します。筆者らは、CPUを選択するにあたって、以下のような条件を考えました。

- 世の中で幅広く受け入れられている業界標準の32ビットまたは64ビット・アーキテクチャをとる
- ワイヤレス通信やネットワーク、産業用機器、自動車、デジタル機器といった市場のターゲット・アプリケーションに対応可能
- 次世代のCPUへの移行が容易(移行する際には、既存のコードと開発ツールへの投資をむだにしないため、コードの互換性を維持する必要がある)
- ファウンドリのパートナー企業が製品を量産できる

筆者らは、さまざまな業界標準のCPUと独自仕様のCPUを評価しました。その結果、独自仕様のアーキテクチャでは、特定の市場分野にターゲットが狭く絞られすぎると考

えました。そして筆者らは、現在、すでに広く受け入れられているCPUアーキテクチャ、つまり代表的な開発ツールによって幅広くサポートされているアーキテクチャが今回の製品のロードマップに適していると判断しました。結果的に、英国ARM社のARM922T CPUコアを用いた回路構成を選びました。CPUコア・ベンダであるARM社のアーキテクチャは、モバイル・ワイヤレス通信分野や通信応用分野の業界標準として普及しています。また、ワイヤレス通信やネットワーク、産業用機器、自動車、デジタル・エンターテインメントの分野でも急速にその地位を高めています。

ARM9は、v4TアーキテクチャのARM命令セット(ISA)を利用しています。このISAは、Thumb命令セットに対応しています。Thumb命令は16ビット長ですが、32ビット命令との切り替え時にオーバーヘッドが発生しません。大量のメモリを必要とするアプリケーションの場合、Thumb命令セットを用いることで最大35%のメモリ容量を節約できます。また、ARM v4Tは、ARM7xxT/ARM7TDMIのコードと下位互換性があります。これにより、ARM7のコードは、より高性能なARM9でも動作します。つまり、ARM7のコードはARM-based Excaliburデバイスでも利



□ C13 コンテキスト識別レジスタ

〔図2〕 ARM922T コアの内部構造

ARM922T コアは、ARM9TDMI プロセッサ、命令/データ MMU、命令/データ用キャッシュ・メモリ、AMBA バス・インターフェースを内蔵している。また、トレース・モジュール、書き込みデータ・バッファ、ライトバック・ページ・アドレス TAG RAM も備えている。