

特集1 動かないLSIを動かす方法

第3章

FPGAのタイミング検証

— Quartus IIを使ったチュートリアル
宮部秀行

ここでは動作タイミングの検証方法を解説する。まず、FPGA設計におけるタイミング検証の意義を説明する。その後で、FPGA設計ツールを使ったタイミング検証手法と所望のタイミングが得られなかったときの解決方法を説明する。
(編集部)

いきなりですが、FPGAの動作タイミング(特に出力遅延, 入力遅延)に関連するトラブル事例を紹介します。

問題になった設計を図1に示します。表示している5個のデバイスはすべて米国Altera社のFPGAです。送信側のFPGAの出力レジスタから送出した信号を、基板上で四つに分岐させています。この際、バッファなどは使用していません。出力側のFPGAの出力遅延時間(t_{co})および入力側のFPGAのセットアップ時間(t_{su})をQuartus IIで確認したところ、それぞれ9ns, 4nsでした。また基板上のパターン配線の遅延時間は1nsと見積もっています。それから、動作周波数は66MHz(クロック周期は15.15ns)です。したがって、

$$9\text{ns} + 1\text{ns} + 4\text{ns} = 14\text{ns} < 15.15\text{ns}$$

となり、タイミングの制約は満たしていそうです。

ここで発生した不具合の現象は、入力側のFPGAに入ってくるデータとビットずれを起こしているというものです。四つの入力側のFPGAのうち、一つのFPGAにだけ1ビット前のデータが入ってきていたのです。現象としては、明らかにインターフェース部分のタイミング検証がうまく行えていないときに発生する不具合です。

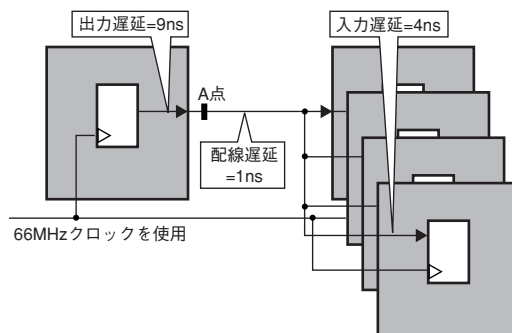
出力遅延と入力遅延はFPGA設計ツールで検証します。つまり配線遅延の見積もりが甘かったということなのでしょう。そこでまずオシロスコープを使って波形を見ていくことにしました。

まず実際にA点を観測したところ、出力信号の立ち上が

り/立ち下がり時間がかかなりなまっていた。信号を基板上で四つに分岐させたために、駆動能力が不足していたのです。これが原因で、タイミングが15.15nsを上回るようになってしまったのです。

この問題を解消するために、まずクロック分岐用のバッファを入れます。するとこの分岐だけタイミングを満たさなくなってしまうので、出力遅延か入力遅延のいずれか、または両方の値を改善する必要があります。この事例では、配置配線をくふうしたり、設計ツールのオプション指定を使用することで、正常に動作するようになりました。

この例は意外な盲点です。LSI間のインターフェースに関するタイミングは非常に重要であり、どのLSIを使用するかを決める検討材料としても大きな比重を占めます。場



【図1】 タイミングの制約を満たしていそうだが…

5個のFPGAによる回路である。動作周波数は66MHz(クロック周期は15.15ns)。出力遅延+配線遅延+入力遅延は14nsで、タイミングの制約を満たしているように見えるが、誤動作してしまった。

合によっては、ツールのレポート結果をうのみにできないので注意が必要です。

FPGAにおけるタイミング検証とは

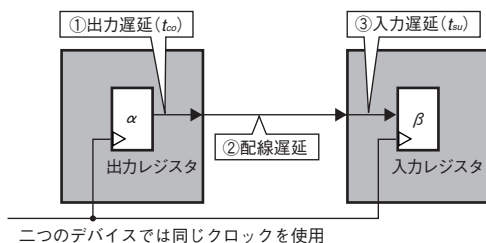
FPGAにおいてタイミング検証を行う対象は大きく分けて2通りあります。一つはFPGAの内部動作に関連するタイミング、もう一つはFPGAとほかのLSIとのインターフェースに関連するタイミングです。

●FPGAの内部動作に関連するタイミング

FPGAを使用したことのある人であれば、コンパイル(論理合成と配置配線)を行った後、必ず「この回路は最大〇〇MHzで動作します」といった情報を含むレポート・ファイルをチェックすると思います。この項目こそがFPGAの内部動作周波数を検証するための項目です。

最大33MHzで動作するとレポートされていた場合、50MHzのクロックを入れても、FPGAはおそらく動作しないでしょう。LSIの持つマージンしだいでは動くかもしれませんが、これでは動作に個体差が生じたり、動作しているチップでも温度を変化させるだけで動かなくなる可能性があります。もし66MHzのクロックを入れたいのであれば、内部回路が66MHz以上で動作するように設計を見直したり、フロアプランナで配置を考慮しながら設計を進めるといった対策が必要となります。設計ツールのボタンを押すだけで所望の速度が得られてしまえば問題ないのですが、ある程度高い性能が必要な場合や回路規模が大きい場合には、なかなかそうはいきません。

動作周波数についてはレポート・ファイルを見るだけでよいのではないと思われるかもしれませんが、これが実



〔図2〕 LSI間のインターフェースにおいて注意すべき事項

α レジスタから出力された信号は、出力遅延(t_{co})を経た後、ピンから基板上の配線へと送出される。入力遅延(t_{su})はピンから入力レジスタまでの遅延である。プリント基板の配線長による配線遅延の増加は、一般に15cmにつき1ns程度といわれている。

は意外と奥が深い問題です。本稿の後半で詳しく説明しますが、タイミング検証時のツールの設定が非常に重要なのです。例えば、何も設定しなくても、レポート・ファイルには動作周波数の項目が出てきますが、これだけでは分周クロックについて正常に検証できません。またクロックどうしの位相を考慮したい場合にも、設定が必要です。

●FPGAとほかのLSIとのインターフェース

FPGAとほかのLSIとのインターフェースに関連するタイミングといっても、なかなかピンと来ないかもしれません。そこでこれをわかりやすく示したのが図2です。

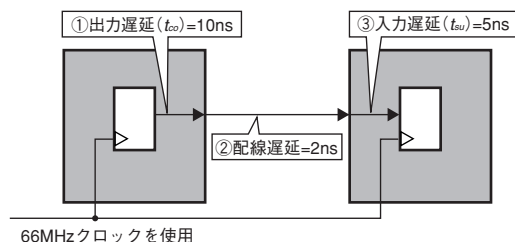
α で示した出力レジスタは、デバイス内で使用されているレジスタのうち、出力ピンに接続されている最終段のレジスタです。 β で示した入力レジスタは、入力ピンに接続されているレジスタです。出力レジスタから出力された信号は、出力遅延(t_{co})を経た後、ピンから基板上の配線へと送出されます。一方、入力遅延(t_{su})はピンから入力レジスタまでの遅延を示しています。またプリント基板の配線長による配線遅延の増加は、一般に15cmにつき1ns程度といわれています。

例えば図2のシステムで使用しているクロックを66MHzとしましょう。そして出力遅延を10ns、配線遅延を2ns、入力遅延を5nsとします。これを図で示したものが図3ですが、この状態で正常なデバイス間インターフェースを実現できるのでしょうか。答えは“No”です。

66MHzのクロックを使用しているので、

$$\text{出力遅延} + \text{配線遅延} + \text{入力遅延} < 15.15\text{ns}$$

にしなければなりません。しかし図3では、



〔図3〕 タイミングを満たさない例

出力遅延+配線遅延+入力遅延は17nsであるから、要求される15.15ns以下の動作タイミングを満たさない。しかし最悪値による計算なので、動作条件やLSIのマージンによっては動作してしまうこともある。実機ではおそらく、「通常は動作しているが、ときどき誤動作することがある」というやっかいな状態になるだろう。しかしこれは、タイミング検証を実施していれば、すぐに見つけられる問題である。