

# 特集1 動かないLSIを動かす方法

## 第6章

# FPGA内部信号観測用IPコアを活用する

——SRAMコントローラの検証事例とリモート・デバッグへの応用

身次 茂

FPGAの内部信号を観測する機能は、米国Altera社の「SignalTap」や米国Xilinx社の「ChipScope」によって実現されています。これらの製品は、検証ツールという位置付けになっています。しかし似たような機能を実現しながら、検証ツールというよりは、むしろIPコアという位置付けで提供されている製品があります。これがロジック・アナライザIPです。本稿では、このIPコアを用いた検証と、IPコアならではの応用方法について解説します。(筆者)

設計した回路が所望の機能や動作タイミングの条件を満たしているかどうかは、HDLシミュレータを丹念に使えばわかります。しかし次のような場合には、実機の波形を見たくなくなります。

### 1) FPGAとほかのLSIが協調動作するとき

実際のシステムのほとんどがこのケースに当てはまるでしょう。HDLシミュレータはFPGAの内部動作を模擬しているにすぎません。プリント基板上で実際にはほかのLSIと接続したら、うまく動作しなかった、という問題に直面することがあります。

### 2) ときどき動作がおかしくなるとき

数日に1回など、まれにしか発生しない間欠的障害の発見は、シミュレータでは困難な場合があります。

### 3) HDLでテスト・パターンを書くのがめんどろなとき

ソフトウェアによる複雑な設定やコマンド・シーケンス

によってFPGAの回路が動作する場合、HDLでシミュレーション・パターンを書くのは多大な労力を必要とします。

### 4) シミュレーションに時間がかかるとき

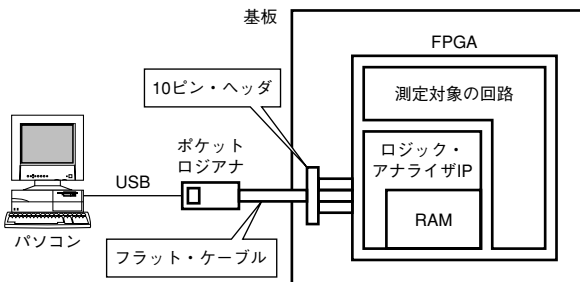
負荷の重い処理、例えば画像処理のような機能の場合、シミュレーションでは時間がかかりすぎ、実機で試したくなります。

高価な設計ツールを使うことによって、これらの問題を解決できる場合もあります。しかし、安価に済ませたい場合には、実機による波形観測はたいへん有効です。

## ロジック・アナライザIPとは？

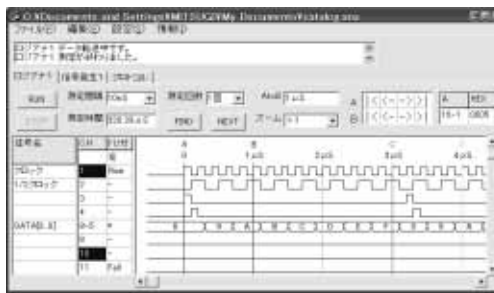
ここでは筆者らが開発したロジック・アナライザ機能を実現するIPコア(以降、ロジック・アナライザIPと呼ぶ)を例に、まず、その原理を説明します。

ロジック・アナライザIPは、FPGA内の論理ブロックと

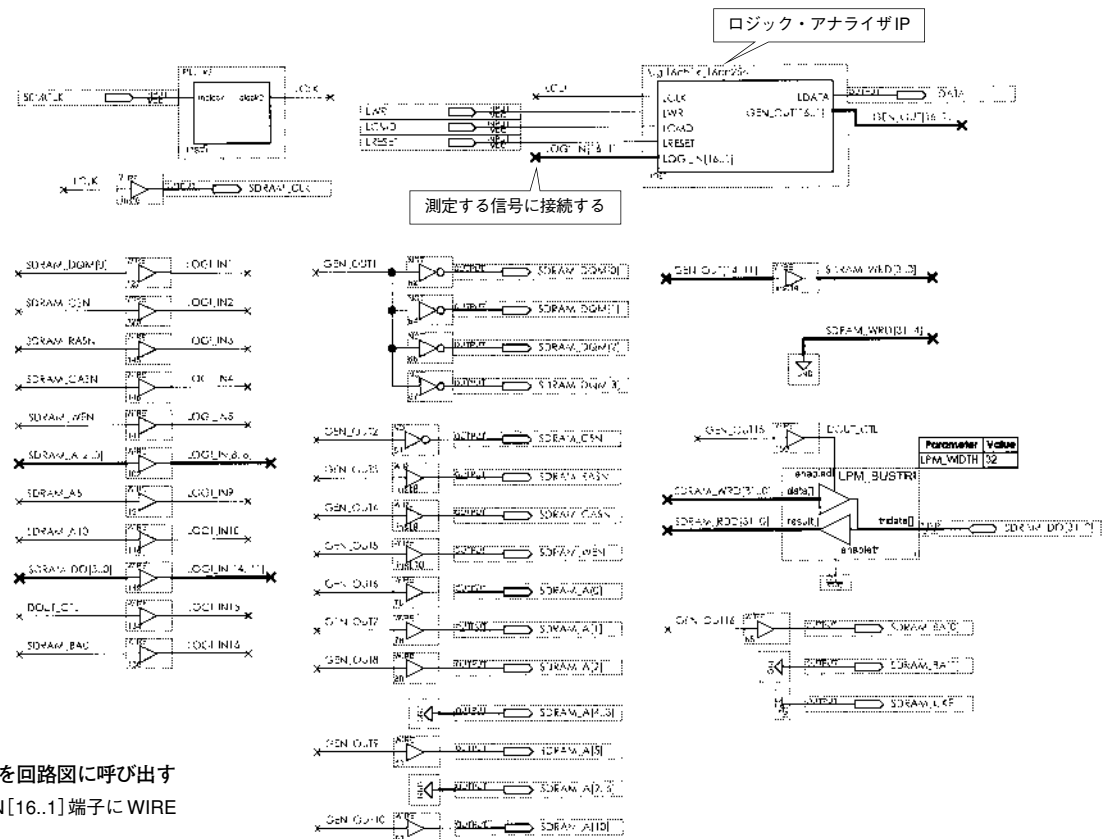


【図1】ロジック・アナライザIPの接続方法

FPGAにロジック・アナライザIPを実装する。このIPコアの制御と観測したデータの読み出しのために、FPGAのI/Oピンのうちの4本を使用する。ホストはパソコンである。



【図2】ロジック・アナライザIPを制御するソフトウェア  
測定結果は、パソコンの画面に表示される。



〔図3〕  
ロジック・アナライザIPを回路図に呼び出す  
観測したい信号をLOGI\_IN[16..1]端子にWIRE  
で接続する。

内蔵メモリを利用し、FPGAの内部にロジック・アナライザを構成するものです。この機能の実現に必要な論理ゲートと内蔵メモリは、筆者らのロジック・アナライザIPの場合、それぞれ9K～16Kゲート程度、4K～32Kビット程度です。

使いかたは以下のとおりです。まず、FPGAにロジック・アナライザIPを実装します。このIPコアの制御と観測したデータの読み出しのために、FPGAのI/Oピンのうちの4本を使います。そして、図1のようにパソコンと接続します。測定結果は、パソコンの画面に表示されます(図2)。

次に、設計した回路にロジック・アナライザIPを接続する方法について説明します。イメージしやすいように、回路図ベースで話を進めます。図3のようにアナライザIPのシンボルlogi16ch1k\_16ch256を回路図に呼び出し、観測したい信号をLOGI\_IN[16..1]端子にWIREで接続します。logi16ch1k\_16ch256のLWR, LCMD, LRESET, LDATAは、パソコンと通信するための信号です。あとは完成した回路をコンパイルし、FPGAにダウンロードするだけです。測定する信号を変更するには、LOGI\_IN[16..1]に接続する信号を変更した後、再コンパイルを行います。

ロジック・アナライザIPの実体は、米国Altera社独自のHDLであるAHDLのファイルですが、VHDLやVerilogHDLのファイルから呼び出して使うこともできます。

### SDRAMの基本動作を確認する

SDRAMの複雑な状態遷移図などを見ると、気がめいってきます。しかし、SDRAMの基本的な動作は、実にシンプルなもの。ここではロジック・アナライザIPを用いて、SDRAMの基本動作を確認する手順を紹介します。使用するSDRAMは、韓国Samsung Electronics社の64Mビット・メモリ「K4S643232E-TC50」です。データ幅は32ビットです。

SDRAMとFPGAは、図4のように接続します。もちろん、FPGAの内部にはロジック・アナライザIPを組み込みます。このIPコアは、信号発生機能を持つパターン・ジェネレータ機能を含んでいます。

FPGAの内部回路は、先ほど示した図3のとおりです。出力端子SDRAM\_DQM[3..0]とSDRAM\_CSNの前のシンボルのみがNOTで、あとはWIREです。NOTを入れる