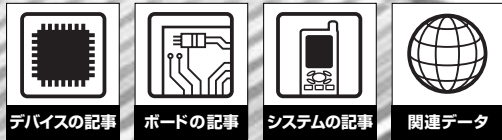


# 電子系研究室に属する 学生の56%が LSI設計を体験

——2003年 電子技術産学協同実態調査

宮崎 仁



本誌では、毎年、産学協同についてのアンケート調査を行っている。ここでは、その集計結果を発表する。対象としたのは、全国の国公立大学および大学院の理工系の研究室である。本年(2003年)の調査では、大学におけるLSI設計の現状についても聞いた。回答していただいた中の56%の研究室で、頻度の違いはあるが実際に学生がLSI設計を行っている。(編集部)

本誌では2000年3月号、2001年3月号、2002年3月号の3回にわたって、全国の国公立大学および大学院の理工系研究室のうち、特に電子技術と関連の深い研究室を対象としてアンケート調査を行い、結果を報告してきました。本年(2003年)もまた、同様の調査を実施しましたので、その結果を報告します。

## ●86研究室が回答

今回のアンケートは、2002年11月～12月に実施しました。年末の忙しい時期であるにもかかわらず、回答して下さった各研究室の方々に謝意を表します。

アンケート内容の概略は、pp.108-109のコラム「研究室へのアンケートについて」に示します。例年の産学協同に関する質問事項に加えて、本年は大学におけるLSI設計教育とLSI試作の現状に関する質問項目を加えました。なお、質問項目の全文は本誌のWebサイト(<http://www.cqpub.co.jp/dwm/>)に公開します。アンケートの回答をいただいた研究室の数は86であり、多くの研究室のご協力をいただくことができました。

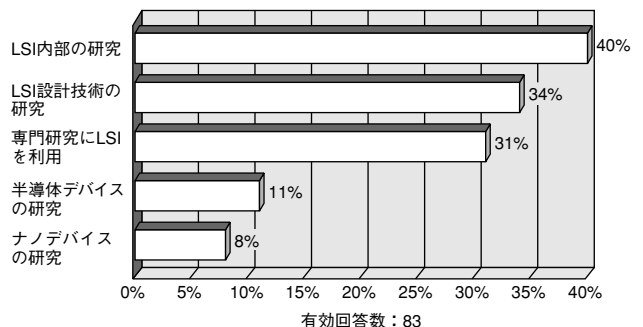
## 1 学部内のLSI設計、講義は6割弱、演習は5割弱

LSI設計教育については、以下の四つの質問を行いました。

- 1) 研究室のLSI設計/微細デバイス試作とのかかわりについて
- 2) 研究室学生によるLSI設計について
- 3) LSI設計に関する講義/演習科目について
- 4) 研究室で設計したデバイスの試作環境について

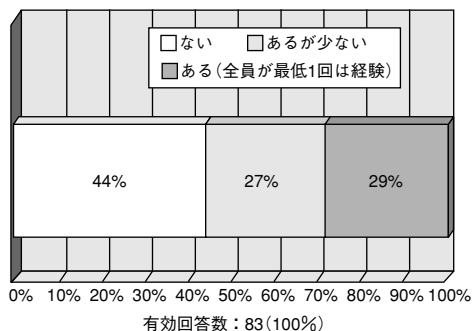
1990年代、電子回路設計の主戦場がボード上からLSI内部へと移行しました。所望のシステムを実現する手段として、LSI設計/開発能力は広い分野の技術者や設計者に要求されるようになり、大学におけるLSI設計教育やLSI試作環境の充実が重要な課題となっています。しかし、現在の理工系大学の教育課程は必ずしもそれに対応できていないと指摘されてきました。また、LSIに限らず各種半導体デバイスやナノデバイスなどの高集積/微細デバイスの研究者にとって、現在のLSI試作/検証環境は必ずしも満足できるものではないと思われます。

そこで、今回のアンケートではLSIをはじめとする高集積/微細デバイスについて、大学における設計教育や試作



〔図1〕 LSI設計/微細デバイス試作とのかかわり

各研究室の研究が、LSI設計や微細デバイス試作とどのようにかかわっているのかを質問した(複数回答あり)。回答の1位はLSI内部の研究、2位はLSI設計技術に関する研究で、LSIそのものの研究を行っている研究室が多かった。



【図2】 研究室学生によるLSI設計/開発

各研究室において、学生(学部、大学院)がLSI設計/開発を経験する頻度について質問した。全学生が1度はLSI設計/開発を経験するという研究室は約30%。頻度は低いがLSI設計/開発を行うことがあるという研究室と合わせれば、半数以上(56%)の研究室がLSI設計/開発を行っていることになる。

【表1】 LSI開発ツールとターゲット(カッコ内の数字は使用している研究室数)

研究室で学生がLSI設計/開発を行うことが「ある」と回答した46研究室に対して、使用している設計言語、開発ツール、FPGAの場合のターゲット・デバイスを質問した(複数回答あり)。設計言語ではVerilog HDLとVHDLが多く、開発ツールはCadence社製とAltera社製が多い。

設計言語	Verilog HDL (25), VHDL (20), その他のHDL (2), SFL <sup>注</sup> (2), Cベース言語 (4)
開発ツール	Cadence社製 (12), Altera社製 (10), Synopsys社製 (8), Synplicity社製 (5), Mentor社製 (4), NTT製 <sup>注</sup> (3)
ターゲット・チップ (FPGAの場合)	Altera社製のFPGA (8), Xilinx社製のFPGA (2)

注: 論理合成ツール「Parthenon」。SFLはその設計言語。

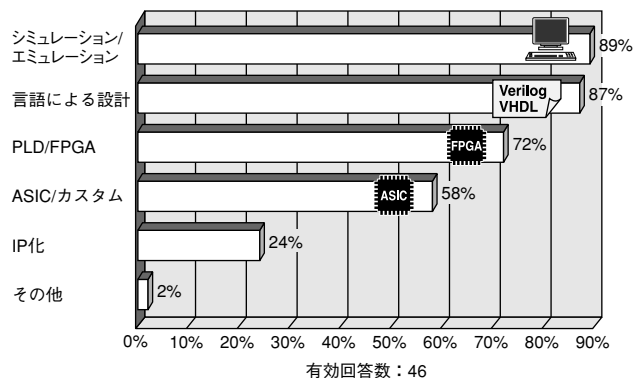
環境の現状について調べてみました。

### ●LSI内部の研究を行っている研究室は40%

最初に、今回アンケートに回答していただいた各研究室の研究内容が、LSI設計/微細デバイス試作にどのようにかかわっているかを質問しました。その回答を図1に示します。

物性、構造、プロセス、回路アーキテクチャなど、LSI内部に関する研究を行っている研究室がもっとも多く、回答数の40%に達しました。また、LSI設計技術(もしくはシステム設計技術)に関する研究を行っている研究室が34%、専門分野の研究にLSI(もしくはLSI応用回路)を利用している研究室も31%ありました。

注: 大学や工業高等専門学校でのLSI教育や研究のために、VLSI教育の情報の提供やEDAツールのライセンス提供、LSIの試作支援などを行う施設。東京大学を中心拠点があり、北海道大学、東北大学、東京工業大学、名古屋大学、金沢大学、京都大学、大阪大学、広島大学、九州大学にそれぞれサブセンタが設けられている。



【図3】 研究室のLSI設計/開発

研究室で学生がLSI設計/開発を行うことが「ある」と回答した46研究室に対して、その内容について質問した(複数回答あり)。HDLなどの言語による設計、シミュレーション/エミュレーションによる検証はともに90%近い研究室が行っている。ASIC/カスタムLSIへの実装も60%近い研究室が行っている。

### ●学生が実際にLSI設計を行っている研究室は56%

次に、研究室に所属する学部生/大学院生がどの程度LSI設計/開発を行っているかを質問しました(図2)。

学生がLSI設計/開発を行っていない研究室は44%でした。それに対して、行っている(全学生が少なくとも1回は経験する)という研究室が29%、行っているが頻度は少ないという研究室が27%でした。回答していただいた研究室の半数強(56%)が、頻度に差はあるものの、学生によるLSI設計/開発をなんらかの形で行っていることがわかりました。

行っていると回答した研究室(46研究室)を対象に、開発の方法などを質問しました。図3は、おおまかな開発方法に関するアンケート結果で、9割近い研究室が言語による設計とシミュレーション/エミュレーションによる検証を行っていました。設計結果をデバイスに実装する場合、PLD/FPGAを利用する研究室が72%と多数でしたが、ASIC/カスタムLSIを試作する研究室も58%と意外に多く見られました。後述の質問でも出てきますが、VDEC(東京大学 大規模集積システム設計教育研究センター)<sup>注</sup>などの設立によって、大学におけるLSI試作のハードルがかなり低くなったと言えます。

具体的な設計言語や設計ツール、ターゲット・チップ(FPGAの場合)に関する質問をまとめたものが表1です。設計言語としては、やはりVerilog HDLとVHDLが多数です。そのうちの約半数は、Verilog HDLとVHDLを両方利用しています。Cベース言語の利用はまだ少数ですが、SpecC、SystemC、Handel-Cを挙げる研究室がありました。