

# テスト容易化設計に特化した 格安LSIテストを開発

—まず DFT 回路や  
テスト・パターンの検証に適用

Andrew Levy, 小林伸至

ASIC やシステム LSI の設計では、テスト容易化設計手法 (DFT : design for testability) があたりまえのように実施されるようになった。それにともなって、DFT に基づく回路構成を取り扱うことを前提とした LSI テスタが続々登場している。ここでは、目的を DFT テストに絞って機能を簡素化し、コストを削減した LSI テスタの技術について解説する。 (編集部)

テスト容易化設計 (DFT : design for testability) は、LSI テストの様相を根本から変える発想です。ますます多くの LSI に、ますます多くの DFT 回路 (LSI の量産テストを行いやすくするために付加されるテスト回路) が組み込まれるようになっていきます。これは、被測定デバイス (DUT : device under test) と LSI テスタの関係を様変わりさせます。筆者ら (米国 Teseda 社) は、この変化をうまく利用した新しい種類の LSI テスタ (DFT 専用テスタ) を開発しています。

筆者らが開発している LSI テスタは、従来の LSI テスタと比べて小型でシンプルであり、しかも安価で使いやすい装置です。こうした利点は、とりも直さず DFT を適用し

た LSI に的を絞って開発されたからこそ得られたものです。ここでは、DFT と LSI テスタの関係、および筆者らが開発した LSI テスタの詳細とその用途について説明します。

## ●内部スキャン、JTAG、BIST、 $I_{DDq}$ テストが対象

LSI 全体、あるいはそのほとんどの部分を DFT 手法だけでテストするアプローチを、ここでは「DFT テスト」と呼ぶことにします。例えば、もっぱら内部スキャン<sup>注1</sup>やバウンダリ・スキャン<sup>注2</sup>、BIST (built-in self-test)<sup>注3</sup>によって LSI をテストしたり、あるいは  $I_{DDq}$  テスト<sup>注4</sup>を利用したりする方法は、DFT テストに分類されます。一方、ファンクション・テスト<sup>注5</sup>は DFT テストに含まれません。

DFT テストは、できるだけ低コストで LSI をテストするための方策の一つに過ぎません。例えば、技術上またはビジネス上の制約によって、ウェハ・テスト工程ではテスト回路の挿入された DFT テストで対処し、最終テストでは DFT テストに実速度 (at-speed) ファンクション・テストや DC (直流) パラメトリック・テストを組み合わせるような手法が最良の場合もあるでしょう。その一方で、DFT 技術の故障検出率が高いレベルにあるならば、DFT テスト手

注1 : LSI のテスト容易化設計手法の一つ、順序回路を組み合わせた回路に展開し、外部端子から直接、信号を観測・制御する。具体的には、論理回路中のすべての順序回路 (記憶素子を含む回路) にテスト・モード用のバス (スキャン・チェーン) を通して制御し、一つのシフト・レジスタとして動作させる。

注2 : JTAG (Joint Test Action Group) が提案した標準的なテスト容易化設計手法。IEEE 1149.1 として承認されている。もともとプリント基板テストに利用されていたが、最近では LSI テストにも利用されている。この方法では、LSI のすべての入出力信号ピンにバウンダリ・スキャン・レジスタを設ける。このレジスタをスキャンすることによって、LSI 間の信号を取り出したり、LSI 内部の信号を観測したりする。テストには4個 (または5個) の TAP (test access port) と呼ばれる専用ピンを使う。TAP は、スキャン・イン・データを設定する TDI (test data input)、スキャン・アウト・データを観測する TDO (test data output)、テスト状態を設定する TMS (test mode select)、テスト・クロックを入力する TCK (test clock) からなる。

注3 : テスト容易化設計手法の一つ、LSI の内部にテスト回路を組み込んで自己診断を行う。テスト回路はテスト・パターン発生器、シグネチャ (テスト結果解析器) などからなる。テストの手順は以下のとおり。①テスト・パターン発生器でテスト・パターンを自動生成して、テスト対象回路に与える。②テスト対象回路の応答出力をデータ圧縮器に取り込んで圧縮する。③あらかじめ用意しておいたシグネチャ内の符号とデータ圧縮器の出力を比較する。④良否の判定結果を出力する。

注4 : CMOS LSI 専用のテスト手法。  $I_{DDq}$  テストでは、被測定デバイスの全トランジスタがスイッチングしていない静止時に、チップの電源電流 ( $I_{DDq}$ ) を測定する。本来、CMOS LSI では、静止時に高電位側から低電位側に向かってわずかな電流 ( $\mu A \sim nA$  程度) しか流れない。しかし、故障が発生するとこの電流が大きくなる。この違いに着目して故障を検出する。

注5 : LSI 内部の論理機能が、仕様どおりに正しく動作しているかどうかを判定するテスト。LSI テスタを用いた機能テストでは、まず論理シミュレータなどで生成したテスト入力パターンを、テスト・パターン発生器から被測定デバイスに印加する。それによって得られた出力と期待値を比較する。



法をすべての工程で利用できるという考えかたもあります。

後ほど説明しますが、テスト・コストをできる限り抑えながら、必要最低限のテスト品質を保証するためには、DFTテスト手法だけで対処するのがいちばんでしょう。もちろん、DFTテストとDCパラメトリック・テスト、あるいはDFTテストとファンクション・テストを組み合わせるという複合的なアプローチもあります。しかし、DFTテストだけの工程を、テスト・フローの中に少なくとも一つ以上入れておくことには大きなメリットがあります。

## ● DFTテストに利用できるテストは3種類

ほとんどの量産用LSIテスト(ATE: automatic test equipment)は、「DFTテストを行える」という意味ではDFTテストであると言えます。実際、広範な機能を備えるさまざまな価格帯の量産用LSIテストが「DFTテスト」と呼ばれ、宣伝されるようになってきています。

これに対して、DFT専用テスト(狭義の「DFTテスト」)には、一般のLSIテストにはない特徴があります。以下では、さまざまなクラスのLSIテストについて説明していきます。

### 1) 従来型の量産用LSIテスト——“Big Iron”

従来型の量産用LSIテストの背後には「LSIテストとは、LSIを機能的にテストすること」という発想があり、その考えかたに基づいて設計されています。こうしたLSIテストの課題は、「ターゲット・アプリケーションとできるだけ同じ条件で被測定デバイスを動作させること」、つまり「プリント基板を含むターゲットの環境をできるだけ正確に再現すること」にあります。

上述の課題を解決するためには、非常に柔軟性に富むテスト・アーキテクチャが必要となります。また、広範なLSIや回路アーキテクチャをテストできるように、一つ一つのピンの機能が柔軟であるだけでなく、電圧レベルやタイミングの設定についても精度が高くなければなりません。柔軟性および精度に対するこうした要求が、量産用LSIテストのコストを押し上げる主要因となっています。

確かに、量産用LSIテストでは単なるファンクション・テスト以上のことが行えます。標準的な機種は、各ピンをDCパラメトリック測定ユニット(DC PMU)に切り換えることによって、DCテストを行えます。また、タイミング精度の十分に高い機種を使えば、多くのLSIの中から高速グレードのものを選別することができます。さらに、量産

用LSIテストの中には、アナログ回路を機能的にテストできるものもあります。

標準的な量産用LSIテストは、バウンダリ・スキャン、内部スキャン、BISTを利用したDFTテストを実行できます。また、一部の機種は $I_{DDq}$ テストにも対応しています。実際のところ、量産用LSIテストはDFTテストの要求を超える能力を備えています。つまり、単なるDFTテストとは言えませんし、DFT専用テストでもありません。

### 2) 機能を絞った低コストLSIテスト——“Middle Iron”

一部のLSIテスト・メーカーは、既存のLSIテストの機能を絞り込み、コストを削減して、それを「DFTテスト」として紹介しています。また、低価格帯の(ファンクション)テスト装置開発で認知されているテスト・メーカーもあります。このような企業では、「DFTテスト」という呼びかたで、なんらかのオプション構成を提供しています。

“Big Iron(大型汎用LSIテストの俗称)”を“Middle Iron”のレベルにダウン・サイジングするには、なんらかの妥協が必要です。ファンクション・テストによって性能面のパラメータを測定するには、速度や性能、柔軟性が要求されるため、従来型の量産用LSIテストは非常に高価でした。テスト・コストをMiddle Ironのレベルに抑えるためには、これらの要求のうちのどれかをあきらめる必要があります。皮肉なことに、Middle Ironのテストも、Big Ironのテストと同じようにファンクション・テスト用のアーキテクチャをベースとしていることが多いため、ファンクション・テストに関する部分がテスト・コストを押し上げています。

ターゲットをDFTテストとしているMiddle IronのLSIテストは、確かに「DFTテスト」ですが、DFT専用と呼ぶには中途半端な存在と言えそうです。では、ほんとうのDFT専用テストとはどのようなものなのでしょうか。

### 3) DFT専用テスト

筆者らが考えるDFT専用テストは、DFT回路を動作させてLSIをテストする手法に合わせて設計されたLSIテストです。つまり、DFT専用テストはDFTテストにしか利用できません。

DFT専用テストは、内部スキャンやバウンダリ・スキャン、BIST、 $I_{DDq}$ テストなどのアプローチに対応していますが、ファンクション・テストには対応していません。上述のように、ファンクション・テストを行おうとすると、テスト・コストが非常に高くなります。多目的のDFTテストはDFT専用テストよりも高価です。そして、従来型の量産