

LSI 設計で 身を立てる!



第4章

効率的に LSIを設計しよう!

— time-to-marketの短縮と
高品質を両立させるために

浅田朋範

LSIは高集積化、高速化が急激に進んでいる。にもかかわらず、time-to-market短縮の要求にこたえるため、設計期間は短くなっている。このような状況において、設計品質を維持しようとするれば、効率的に設

計を進めることが重要になる。本稿では、LSIを効率的に開発するために用いられる設計手法や技術のいくつかを、筆者の経験をもとに紹介する。

(編集部)

近年の多くの製品に共通していえることがあります。それは「短命化」、「小型化」、「多機能化」です。ひと昔前に比べると顧客のニーズを優先して製品が作られるようになった、という理由が挙げられます。技術的な見地から見れば、ハードウェア/ソフトウェアで実現できる機能が増えてきたからだともいえます。プロセッサの性能が飛躍的に向上したこと、およびASICやFPGA/CPLDの高集積/高機能化が「短命化」、「小型化」、「多機能化」を加速させた要因ですが、それでは実際に設計現場では、現在何が起きているのでしょうか。

リースされている最新のデバイスと比べると赤ん坊のようなもので、ある程度の論理しか実装できない簡単な構造でした。当然ひとりが担当する回路規模も大きくありませんから、ひとりで2~3個のデバイスを設計することも珍しくありませんでした。

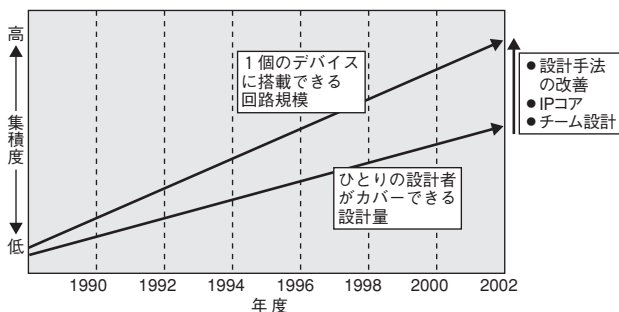
微細プロセス技術の急激な発展により、ASIC/FPGAに実装できる回路規模は年々増えていくことになります。近年においては、従来ならプリント基板上で構成されていたシステムを一つのLSIで実現してしまうシステムLSI(SOC: system on a chip)が主流になっています。しかもこれがASICだけの技術ではなくなってきています。FPGAの内部にメモリや演算器、プロセッサ・コアが実装されるようになりました。

こうなるとは1チップをひとりで設計することは非常に難しくなります(図1)。グループで1チップを設計していく体制が必要です。また、過去の設計資産、つまり、IP(intellectual property)コアを積極的に活用し、設計期間の短縮や品質の向上を図る必要があります。



厳しくなるハードウェア設計業務

10年前のASIC/FPGAに実装できる回路規模は、現在リ



〔図1〕回路規模と設計量

増大する回路規模に対し、ひとりの設計者がカバーできる設計量は追いつかない。その差を埋める手段として、設計抽象度の引き上げ、IPコアの適用、数人によるチーム設計などがある。最適な手段は、ケース・バイ・ケースである。

●time-to-marketの短縮と品質

製品の構想設計から製品の市場投入までの期間、すなわち“time-to-market”は、収益に大きく影響します。もし顧客のニーズを満たす製品をいち早く市場に投入できれば、市場シェアを大きく増やすことができます。今、このtime-to-marketの短縮が重要になり、技術者はより短い期間で高機能な製品を設計する必要に迫られています。ASIC/

Column ① 自分のしごとに責任を持っていますか?

職場でも、LSI設計の業界に入ってくる新人向けに教育を行っています。入ってくる新人にもいろいろな人がいて、しごとに対するアプローチ方法やコミュニケーション方法はさまざまです。

それは各人が違う生活環境の中で育ってきたので当然のことです。プロジェクトの中でも個性というのは必要不可欠な要素です。逆に個性がなければ自分をアピールすることはできませんし、発想の転換をすることができないでしょう。筆者はなるべく新人の個性を生かせるように設計プロジェクトの中の役割を考えています。

筆者の立場から見て、新人に共通して欠けている要素があります。それは開発した製品に対する「責任感」です。学生のときは製品開発に携わることはまずありえませんが、責任感がなくても当然だとは思いますが。しかし、つねに結果を必要とされる会社では、自分の結果が製品の品質/納期を大きく左右することさえあります。

自身に与えられた課題に対して努力することはよいことなのですが、会社では「努力したけどできませんでした」、「がんばったけど、これ以上は無理です」は残念ながら通用しません。結果が出せなければ製品を出荷できず、最終的にはライバル会社に先を越されることになります。これが後の製品開発にも影響を与え、次の製品ができ上がったとしても、シェアを昔の状態に戻すにはかなりの時間がかかります。場合によっては、市場競争から撤退することすらあります。

「失敗してしまった」ことについては、過ぎたことなのでしかたのないことなのですが、その失敗を糧にしないで「運が悪い」、「失敗したことは早く忘れたい」と考えている人が少なくありません。これではまた同じ失敗を繰り返すおそれがありますし、失敗を自身の糧にしないと、いつまでたっても成長できません。

FPGAで実現できる回路規模が増大しているにもかかわらず、さらに工期短縮を実践するというのは矛盾があるのですが、それでもやりとげるのがプロの技術者です。

その一方で、設計期間の短縮にとらわれて品質を維持できなかつたらどうなるのでしょうか。もし自分が顧客の立場で不良品を買わされたら、もう二度とその会社の製品は買わなくなるでしょう。最悪の場合、全品回収という事態になります。社会からの信用を失い、場合によっては再起できなくなることもさへあります。製品を出す以上はつねに不具合のないものに仕上げ、という責任が発生します。

●自分の役割を理解しよう

チームで行う設計においては、自分がどのような位置づけでどのような役割を任せられているのかわからないと、むだな時間が過ぎていくことになります。自分が製品のどの要素を実現するための設計を担当するのか、そして設計工程全体におけるどのプロセスになるのかを理解しておく必要があります。

それではなぜ担当する役割に対する理解が必要なのでしょう。それは担当している作業が遅れることが、プロジェクト全体のスケジュールに大きな影響を及ぼす可能性があるためです。また、ひとりですべての設計工程を担当するようになったら、すべてのスケジュールを自分で管理できなければなりません。新人がいきなりひとりでLSIを設計するケースはあまり考えられませんが、将来、設計を任せられたときにはそれなりの覚悟で臨まなければなりません。



短納期実現の手段

ひと昔前までは、大規模な論理を実現できるFPGAがないからASICを作らざるを得ない、という状況がありました。しかし最近では、FPGAを使いやすくなっています。試作機はもちろんのこと、量産品であってもFPGAの採用率が急激に伸びています。

近年はtime-to-marketが重要視され、設計者にとっては今まで以上に短い期間でLSIを設計し、試作ボードを完成させ、実機を評価しなくてはならない状況にあります。

●FPGAとASICをうまく使い分ける

FPGAはtime-to-market短縮の面でASICよりも有利といえます。しかしASICと比べると、量産時のデバイス単価が上がってしまいます。FPGAの低コスト化が進んだといっても、最新ファミリは比較的高価ですし、大量生産されるASICの単価にはかないません。

ASICで設計するのであれば、マイクロプロセッサを内蔵するシステムLSIにして、変更の可能性がある処理はソフトウェアで実現するという手段があります。仕様変更や不具合の修正がソフトウェアで対応できないと、ASICは作り直しになるという問題があります。

FPGAを用いるか、ASIC化するか、この評価はやさしいものではありません。