

付属のFPGA基板について

編集部

本誌付属のFPGA基板の仕様を表1に示します。また、外観を写真1に示します。60mm×50mmの小型基板に、米国Altera社のFPGAファミリー「Cyclone」の「EPIC3T100C8」を搭載したものです。

回路図を図1に示します。FPGAを動作させるために必要な主要機能をあらかじめ搭載しています。

●FPGA(U1)

搭載されているFPGAの2本のクロック専用信号(グローバル・クロック)ピンは拡張I/Oヘッダに接続されています。CN2のA01はFPGAの10番ピンに接続されており、FPGA内部のPLL (phase-locked loop) を駆動することが可能です。CN3のA01はFPGAの66番ピンに接続されています。このピンはFPGA内部のPLLを駆動することができます。

せん。未使用のI/Oピンのうちの58本は、拡張I/Oヘッダ(CN2, CN3)に出力されています。

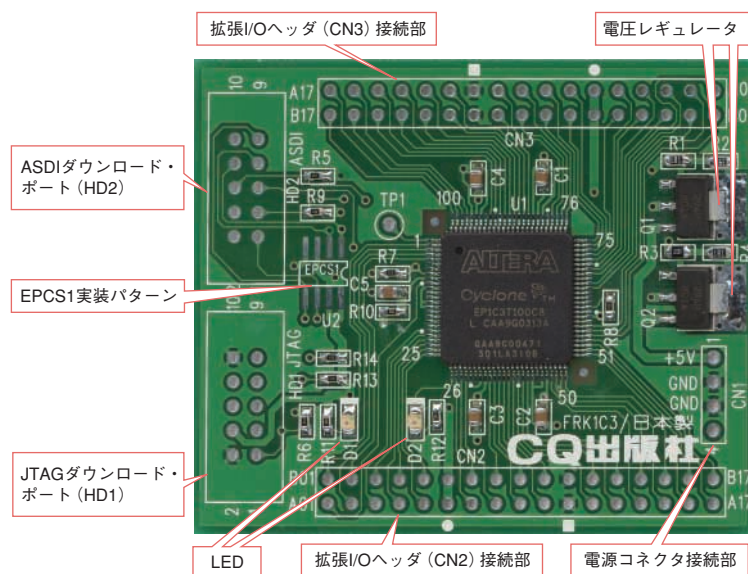
●コンフィグレーションROM (U2, オプション)

FPGAをコンフィグレーションROMから起動する場合に使用する「EPCS1」を取り付けられる拡張領域を用意しています。

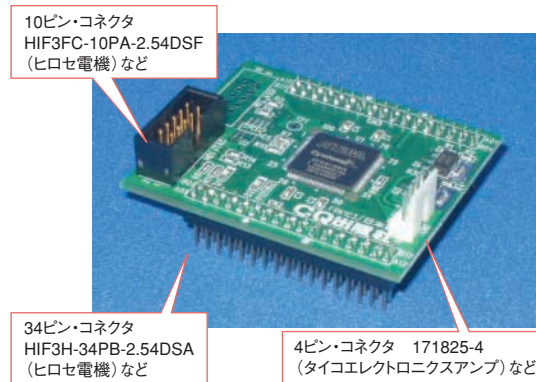
付属FPGA基板では、コンフィグレーションROMは未実装です。またEPCS1を搭載するときには、2個のプルアップ抵抗も合わせて実装する必要があります。プルアップ抵抗取り付け用のパターンは用意していません。コネクタ(HD2)部分などをうまく利用して実装するようにしてください。

〔表1〕 付属FPGA基板の仕様

基板材質	ガラス・エポキシ (FR4)
基板層数	2層
配線ルール	ピン間2本ルール (100mil間隔)
外形寸法	60mm×50mm

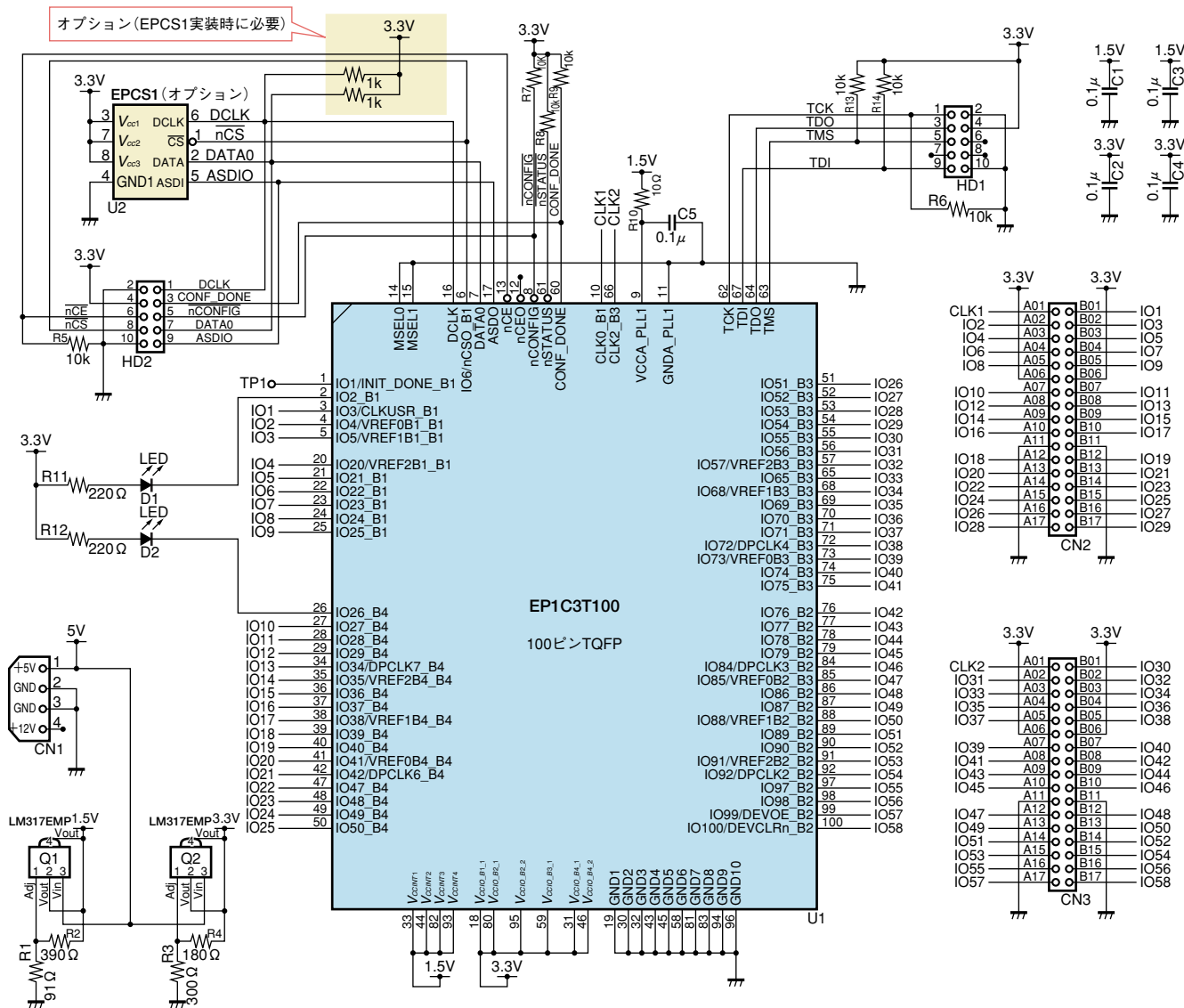


(a) 基板外観



(b) 部品接続例

〔写真1〕 本誌付属のFPGA基板



[図1] 本誌付属FPGA基板の回路図

● JTAGダウンロード・ポート(HD1)

Altera社のByteBlasterMVまたはByteBlaster IIのケーブルを使って回路データをダウンロードするときに使用します。

● ASDIダウンロード・ポート(HD2)

Cyclone専用のコンフィグレーションROM (オプション) に回路データを書き込む際に使用するダウンロード・ポートです。このポートを使用する場合は、ByteBlaster IIのケーブルが必須です。

● LED(D1, D2)

FPGAの動作確認用に2個のLEDを搭載しています。

FPGAからLレベルの信号を出力すると、LEDが点灯します。Hレベルのときは消灯状態になります。

● 電源(Q1, Q2)

基板上に2個の電圧レギュレータを搭載しています。コア電圧の1.5VとI/O電圧の3.3Vを生成します。外部からは5.0Vの電圧を供給します。3.3Vは、LEDを点灯させるための電源としても使用しています。また、拡張I/Oヘッダにも接続しています。

可変電圧の3端子レギュレータに電圧を決めるための抵抗を接続しています。精度が求められるので、±1%誤差の表面実装型抵抗素子(Fクラス)を使用しました。