

DAPDNAのデバイス・アーキテクチャ

—RISCプロセッサと動的再構成可能な演算器アレイを1チップに集積

榊原泰徳, 佐藤友美

ここではダイナミック・リコンフィギャラブル(動的再構成可能)技術を使ったLSIの一つである「DAPDNA-2」のデバイス・アーキテクチャについて解説する。本LSIは半導体ベンチャのアイピーフレックスが開発した。RISCと動的再構成可能な演算器アレイを1チップに集積した構成をとる。(編集部)

「DAPDNA」の構想は、1990年代の後半に筆者のひとり(佐藤友美)が本LSIに関する特許を出願したあたりから形となり始めました。このころからアイデアを実装可能な形に落とし込む作業と、開発資金を得るための資金調達の活動を並行して進めました。そして、DAPDNAの技術を利用して柔軟なハードウェアを実現することを目指す企業として、2000年に筆者らはアイピーフレックスを設立しました。

● ソフト技術者にもASIC, FPGA並みの処理性能を

DAPDNA開発のねらいはおもに二つありました。

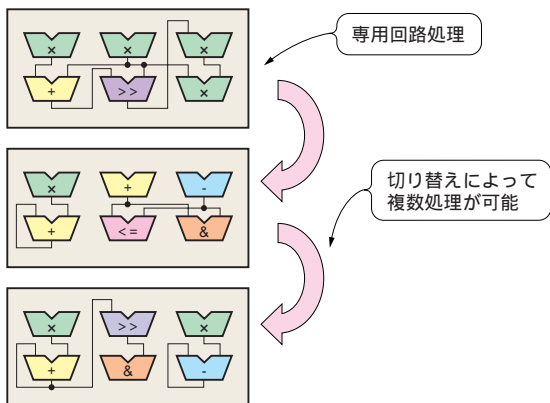


図1 動的に処理内容を変更できるALUアレイ

ソフトウェア・プログラムの処理内容をハードウェアにマッピングしやすくするため、ALUベースのブロックを多数用意し、そのブロックの間を所望の構成で接続できるようにした。

一つは、一般のソフトウェア技術者が専用回路(ASICやFPGAなど)並みの処理性能を容易に利用できる環境を作り出すことです。従来、専用回路を利用するためには、回路設計のスキルが必要であり、ハードウェア記述言語(HDL: hardware description language)や論理合成ツールなどに熟達していなければなりません。ソフトウェア技術者にとって、これらのスキルや知識を習得することは容易なことではありません。

もう一つのねらいは、回路を高速に切り替えることにより、同一のLSIを複数の処理(アプリケーション)に対応できるようにすることです。それぞれの処理を、専用回路並みの性能で実行させられれば、既存のどんなLSIよりも処理性能を引き上げられると考えました(p.32のコラム「画像圧縮伸張処理システムの開発体験から生まれた」を参照)。

これら二つの目標を達成するため、LSIの中に演算器(ALU)の2次元アレイ構造を組み込み、その間の接続を動的に(つまり、LSIが稼働している最中に随時)切り替える方式を中心に検討を進めました(図1)。

● RISCコアと動的再構成アレイ・ブロックを内蔵

筆者らが2004年5月から出荷を始めた「DAPDNA-2」は、DAPDNAアーキテクチャを採用した2世代目のLSIです。図2に本LSIのブロック図を、表1にその概要を示します(p.38のコラム「DAPDNAの基本アイデアとそのアーキテクチャ」を参照)。

このLSIは、おもにシーケンシャルな処理を担当する32ビットRISC(reduced instruction set computer)プロセッサ・コア「DAP(Digital Application Processor)」と、大規模なデータ処理や演算処理を担当する2次元アレイ構造の「DNA(Distributed Network Architecture)マトリ

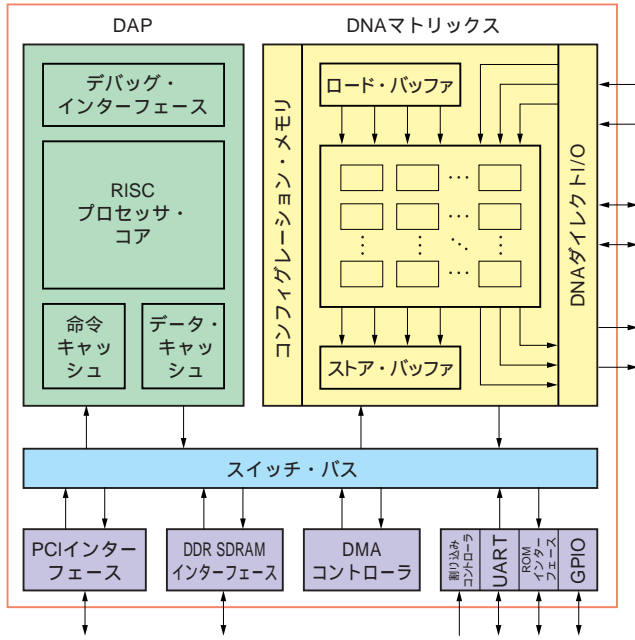


図2 DAPDNA-2のブロック図

RISCプロセッサ・コアのDAP，動的再構成可能なDNAマトリックス，DRAMやPCI，周辺機器のインターフェースなどを内蔵している．また，高速データ処理向けにDNAダイレクトI/Oを備えている．内部バス帯域を有効に利用できるようにするため，内部のブロックはスイッチ・バスで接続されている．

ックス」を内蔵しています．DNAマトリックスが動的に回路構成を切り替えられる部分です．このほかに，DRAMコントローラやそのほかの周辺インターフェースも集積しています．DNAマトリックスの高速演算に不可欠な広帯域のデータ入出力は「スイッチ・バス(一種のクロスバ・スイッチ回路)」，あるいはDNAマトリックス専用の入力/出力ポートである「DNAダイレクトI/O」を介して行われます．

1) DAPアーキテクチャ

32ビットRISCプロセッサ・コアであるDAPは，32個の32ビット汎用レジスタ，8Kバイトの命令キャッシュ，8Kバイトのデータ・キャッシュを内蔵しています．動作周波数は，このLSIのほかの回路ブロックと同じ166MHzです．

用途としては，一般的な汎用プロセッサとして使うこともできますが，後述するDNAマトリックスの動的再構成の制御にも使用します．単なるシーケンサではなくマイクロプロセッサなので，複数の条件を考慮した切り替えや，DNAマトリックス実行の前処理などを行えます．

また，DAPとDNAマトリックスは並列動作が可能です．DNAマトリックスの演算中に，処理速度があまり要求されない処理をDAPで実行することも可能です．

2) DNAマトリックス・アーキテクチャ

表1 DAPDNA-2の概要

項目	仕様	
DAP	32ビットRISCプロセッサ， 命令キャッシュ：8Kバイト， データ・キャッシュ：8Kバイト， オンチップ・デバッグ・インターフェース	
DNA	構造	動的再構成可能な32ビット演算器の2次元アレイ(マトリックス)
	PE数	376個(演算エレメント：168個)
	RAM容量	576Kバイト(RAMエレメント：合計512Kバイト，ロード/ストア・バッファ：合計64Kバイト)
	コンフィグレーション数	4バンク(フォアグラウンド：1バンク，バックグラウンド：3バンク)
外部インターフェース	DNAダイレクトI/O	各チャンネル：最大166MHz(外部クロックに同期可能)，32ビット幅，入出力合計6チャンネル
	DDR SDRAM	166MHz，64ビット幅DDR SDRAM 最大容量：512Mバイト
	PCIバス	33MHz，32ビット幅PCIバス
	ROM	ブート用およびプログラム用シリアルROMインターフェース
	外部割り込み	8本(エッジ動作，レベル動作設定可能)
	その他	UART：2チャンネル，GPIO：16チャンネル，同期シリアル(マスタ)：1チャンネル
	動作周波数	166MHz
電源	2電源：1.2V(コア部)，2.5V(I/O部)	

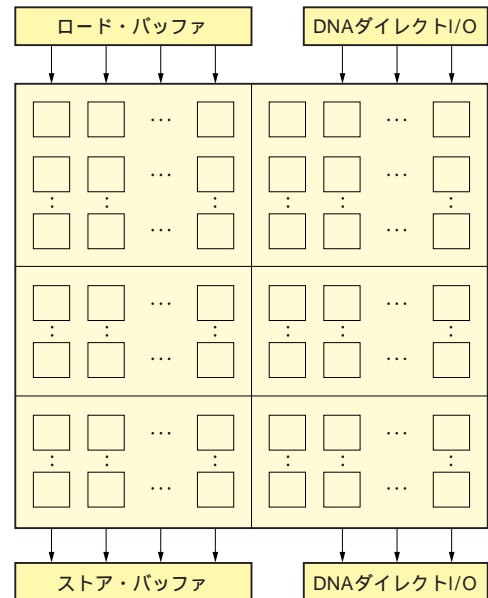


図3 DNAマトリックスの構成

DNAマトリックスの構成単位であるPE(Processing Element)を376個，メモリを512Kバイト搭載している．データ入出力ポートとして，内部バスに接続されているロード・バッファ，ストア・バッファがそれぞれ4チャンネルと，外部ピンに接続されているDNAダイレクトI/Oが6チャンネル用意されている．また，本LSI上に定義可能なコンフィグレーション数は計4面分あり，これらを高速に切り替えることができる．

動的再構成を行うDNAマトリックスは，2次元アレイ状に演算器やメモリが整列した構造をとっています(図3)．これらの素子の接続関係を変更することにより，図4のよ