

第8章

VHDL-AMS/Verilog-AMSのシミュレーションを体験する

Dolphin Integration社の
ミックスト・シグナル回路シミュレータ「SMASH」

倉重克己



フランス Dolphin Integration 社の「SMASH」はアナログ回路とデジタル回路を混載した回路シミュレータである。ここでは、簡単な同一の例のコードを VHDL-AMS と Verilog-AMS で記述し、両言語に対応するアナログ/デジタル混在シミュレータ SMASH で試してみる。 (編集部)

現在、LSI 設計分野では記述言語として Verilog-AMS (Analog Mixed Signal) の方が VHDL-AMS より優勢のようです。VHDL-AMS は自動車の電装や MEMS 設計などのメカトロニクス分野で多く使われています。さらに、IBIS (Input/Output Buffer Information Specification) モデルにも取り込まれつつあります。

SPICE シミュレーションは計算量が多く、全体シミュレーションやミックスト・レベル・シミュレーションにはアナログ HDL (Hardware Description Language) が不可欠になってきています。PLL ジッタを求めるシミュレーションは、SPICE を使いトランジスタ・レベルで行うのは現実的ではありません。アナログ HDL の動作レベル・モデルをフル活用すれば、数分のシミュレーションで結果を得ることも可能です。

アナログ HDL の利用は進んでいますが、いまだ経験のない設計者の方も多いことでしょう。SMASH は、UNIX/Linux 上だけでなく、Vista を含む Windows の上で簡単に動かす、無償版で小さな設計例の動作体験ができます。大きな例も試用ライセンスで試みることもできます。

本稿では、RC フィルタ、ダイオードのモデリングを例に VHDL-AMS、Verilog-AMS 両言語の記述例を比較し、

SMASH 無償版でシミュレーションしてみます。

1. アナログ HDL 設計の二つのシステム・レベル

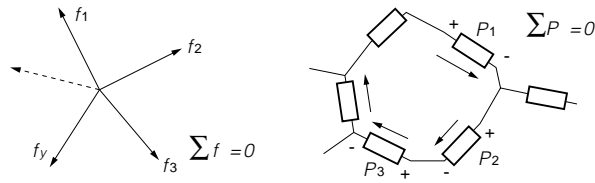
アナログ HDL 設計には、「保存系 (conservative) システム」レベルと「シグナル・フロー (Signal Flow) システム」レベルの二つの大きな設計区分があります。また、両者の混在も許されます。

保存系システムは、キルヒホッフの法則 (KCL: Kirchhoff's Current Law), KVL: Kirchhoff's Voltage Law) に従うモデルであり (図 1(a)), より最終実態 (回路) に近いものです。シグナル・フロー・システムは数学的なモデルであり、より抽象的といえます。高位の保存系システム・モデリングは、デジタル設計の RTL 設計に対応するといえるかもしれませんが、しかし、残念ながらアナログにはまだデジタル世界の動作合成/論理合成に対応する合成技術がフィルタ合成などを除き発達していません。必要に応じてより具体的なトランジスタや RLC を使った回路にブレークダウンしていきます。

アナログ HDL シミュレータは、高位レベルからの各ステップのシミュレーションをサポートしています。アナログ HDL のモデリングには、力学、熱、流体などがサポートされています。これらは電気/電子回路ではありませんが、数学的な類推対応でキルヒホッフの法則に持ち込めます。拡張キルヒホッフの法則 (KFL: Kirchhoff's Flow Law, KPL: Kirchhoff's Potential Law) (図 1(b)) に従

Keyword

VHDL-AMS, Verilog-AMS, アナログ HDL, 保存系システム, シグナル・フロー・システム



回路網上 任意の節点において
流れ出す電流 (flow) の総和はゼロ

(電流が流れ出すとき⊕符号,
流れ込むとき⊖符号, または
その逆)

(a) キルヒホッフ電流測

回路網上 任意の閉路において,
一巡の枝電圧 (potential) の総
和はゼロ

(巡る方向に電圧が下がる時
⊕符号,
電圧が上がるとき⊖符号,
またはその逆)

(b) キルヒホッフ電圧測

図1 キルヒホッフの法則

うものとして、これらもアナログHDLで扱えるようになって
います。

これにより保存系システムとして、シグナル・フロー・
システムより精密な結合モデリングが可能です。これはメ
カトロニクスを始めとする、エレクトロニクスだけでない
複合システムの、自然な一体モデリングを可能にするアナ
ログHDLの最大の強みです。これは、MEMSや自動車設
計の周りでのモデリングとシミュレーションに使われてい
ます。もちろんモデリングにおいてVHDLは、VHDL-AMS
と一体であり、Verilog HDLはVerilog-AMS(Verilog-AMS
= Verilog HDL + Verilog-A)と一体です。シミュレータ
も多くの言語をサポートする方向にあります。SMASH
もVHDL, VHDL-AMS, Verilog HDL, Verilog-AMS,
SPICEのコードが混在した回路をシミュレーションできま
す。

```
package ELECTRICAL_SYSTEMS is
  -- type declarations
  -- electrical domain
  -- subtype declarations
  subtype VOLTAGE is REAL tolerance "DEFAULT_VOLTAGE";
  subtype CURRENT is REAL tolerance "DEFAULT_CURRENT";

  -- attribute declarations
  -- Use of UNIT to designate units
  attribute UNIT of VOLTAGE      : subtype is "V";
  attribute UNIT of CURRENT      : subtype is "A";

  -- nature declarations
  nature ELECTRICAL is
    VOLTAGE      across
    CURRENT      through
    ELECTRICAL_REF reference;
  ..
  alias GROUND is ELECTRICAL_REF;

end package ELECTRICAL_SYSTEMS;
```

(a) VHDL-AMS記述(electrical_systems_pkg.vhd)

図3 電圧、電流の関連付け定義

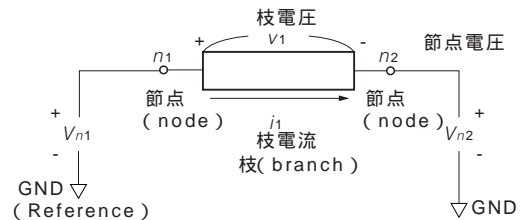


図2 節点と枝

● 保存系システム

保存系のシステムでは、常に変量のペアを扱います。当
然、電気の世界では電圧と電流なので、エネルギー伝達
($V \times I = W$)をモデルに含みます。「保存系システム」の
名称は、KCLは電荷保存性から、KVLは電圧が定義できる
条件である保存力場からきています。以後は電気系に特化
して話を進めます。回路網の枝(ブランチ)の両端の節点
(ノード)の電位差と枝の素子を流れる電流を定義します(図
2)。この電圧と電流の関係で素子特性は定義されます。

図3は、必ず参照するライブラリ(VHDL-AMS)とイン
クルード・ファイル(Verilog-AMS)の一部です。

natureでVHDL-AMS記述のELECTRICAL型が定義
されています。また、disciplineでVerilog-AMS記述
のelectrical型が定義されています。Verilog-AMSの
accessを除き、二者で同じことを表現していることが分
かります。Verilog-AMSではaccess関数を通して接点や
枝の電圧、電流値が得られたり、設定できたりします。
VHDL-AMSでは直接across/throughを通して電圧/電
流信号が定義できることが違いです。

図4に示す二つの例は、いずれも保存系システムのモデ

```
//// Electrical////

nature Current //Current in amperes
  units = "A";
  access = I;
  abstol = `CURRENT_ABSTOL;
  ..
endnature

nature Voltage //Potential in volts
  units = "V";
  access = V;
  abstol = `VOLTAGE_ABSTOL;
  ..
endnature

discipline electrical //Conservative discipline
  potential Voltage;
  flow Current;
enddiscipline
```

(b) Verilog-AMS記述(discipline.vams)