



設計サービスを活用して オリジナルLSIを作る

先端半導体ファブのシャトル・サービスで
ASICを試作・少量生産

森下弘章, 内海俊晴

ここでは、設計サービスを利用したASICの開発方法を説明する。比較的少量のLSI開発では、FPGAが広く使われるようになった。しかし、FPGAで実現できない機能もまだ多い。とはいえ、ASICの開発には、さまざまな設計ツールが必要である。このため、主にFPGAで開発している企業では、ASICをすぐには開発できない。このようなとき活用できるのがASIC設計サービスである。シャトル・サービスと併用することで、先端プロセスのASICを比較的少ない数量から開発可能である。(編集部)

今日では、FPGA(Field Programmable Gate Array)を使用することで、比較的容易に独自仕様のLSIを開発し、これらを搭載した機器を出荷することができるようになっています。最先端の半導体プロセスで製造されるFPGAは、大規模化、高性能化、低消費電力化が進んでいます。

しかし、FPGAには制約があるのも事実です。性能や消費電力などの点で、所望の特性を持つLSIが得られないことがあります。そこで、FPGAでは実現できないような特性のLSIを実現するには、ASIC(Application Specific Integrated Circuit; 特定用途向けIC)の開発が必要になります。

本稿では、ASICの試作と少量生産というニーズに対して、特徴あるLSIをいかにして開発するかについて、筆者

ら(シリコンソーシアム)の設計試作サービスを例に解説します。

1 ASICの必要性和開発フロー

● ASICとFPGAの違い

FPGAとASICの比較を表1に示します。

FPGAは、故障がないことがFPGAメーカーによって保証されているデバイスです。これに対しASICは、デバイスに故障がないことを開発者が保証する必要があります。そこでDFT(Design for Testability; テスト容易化設計)が必要になります。

ASICの開発期間は、FPGAに比べると長くなります。さらに、大きな開発費が必要になります。そこで、ASICをいかに短期間で、低コストに製造するかがポイントになります。

ASICは、FPGAに対して設計の柔軟性や自由度が高く、コンセプト次第で高付加価値LSIを開発することが可能になります。例えば、動作電圧やプロセス・テクノロジー、しきい値電圧 V_{th} を最適化することで、低消費電力化が可能になります。また、IPコアの活用という視点でいえば、FPGAでは基本的にソフト・マクロしか使用できませんが、ASICではハード・マクロの使用も可能になります。時にはセル・ライブラリをカスタム化することも可能です。

● LSI開発の基本フロー

LSI開発の基本的な流れを図1に示します。

表1 FPGAとASICの比較

	DFT	消費電力	TAT	開発費(NRE)	設計の自由度	IPコア
ASIC	必要	小	長期	必要	大	ハード・マクロ, ソフト・マクロ
FPGA	不要	大	短期	不要	小	ソフト・マクロ

Keyword

シャトル・サービス, 設計サービス, 仕様インターフェース, RTLインターフェース,
ネットリスト・インターフェース, MOSIS, TSMC, MPW

(1)仕様設計

所望のLSIの仕様と実現性、テスト仕様について検討します。

(2)論理設計

仕様をもとにHDL(Hardware Description Language ; ハードウェア記述言語)で論理設計を行います。また、機能シミュレーションで検証します。

(3)論理合成

論理合成ツールを使用して所望のタイミングを満足するゲート・レベルの論理回路(ネットリスト)を生成します。

(4)配置配線

ネットリストとタイミング制約を使用して配置配線(P&R: Place and Route)を実行します。

(5)静的タイミング解析

配置配線後の遅延情報(SDF)を抽出し、タイミング制約を満足しているかどうかを静的タイミング解析(STA: Static Timing Analysis)で検証します。タイミング制約を満足していない場合は、配置配線と静的タイミング解析を繰り返します。どうしてもタイミング制約を満たせない場合は、HDLで記述したコードを修正(回路を変更)することもあります。あるいは、タイミング制約を再検討することもあります。

(6)物理検証

タイミング制約を満足したら、LSIのレイアウト・データ(GDS II)を作成します。最後に、このレイアウト・データの物理検証(LVS/ERC/DRC)を行い、最終レイアウト・データを製造工場に渡します。

して、三つのモデルがあります(図2)。

- 仕様インターフェース・モデル
- RTLインターフェース・モデル
- ネットリスト・インターフェース・モデル

例えば、FPGAの設計者はRTLコードを作成できるので、RTLインターフェース・モデルやネットリスト・インターフェース・モデルを利用するのが一般的です。

●仕様インターフェース・モデル

仕様インターフェース・モデルでは、開発元はLSIの要求仕様を設計サービス会社(ASICベンダや設計ハウス)に提示します。設計サービス会社はLSI開発仕様書を作成し、すべての開発を行い、チップを開発元に納めます。

開発元が用意すべきデータは、要求仕様書です。

●RTLインターフェース・モデル

RTLインターフェース・モデルでは、開発元自身がHDLにより機能設計を行います。設計サービス会社には、RTLコードを提供してチップを入手します。

LSIの機能検証までは開発元が行う必要があります。必要なデータは、RTLデータとタイミング制約(動作クロック)です。テスト仕様の検討やテスト回路の作り込みは設計サービス会社が担当します。

タイミング制約ではなく設計仕様書を受け渡す方法もあります。この場合は、タイミング制約は、設計サービス会社によって作成します。配置配線後のSTA用タイミング制約の作成も行うので、開発元は仕様設計と機能設計、検

2 ASIC設計サービスの活用

ASICの開発には、さまざまなEDAツールが必要です。これらのツールは、決して安いものではありません。ASICの開発環境が整っていない場合や、所望のASICをより短期間に開発するためには、ASIC設計サービス注1を活用するのも一つの方法です。例えば、ASICの開発実績がなくても、ASIC設計サービスを利用すれば、数カ月間でチップを入手することが可能です(p.44のコラム「ASICの試作サポート・ビジネスとは」を参照)。

ASIC設計サービスを利用する場合の、開発元と設計サービス会社のインターフェース方法とその時に用意すべきデータについて説明します。一般的なインターフェースと

注1:筆者ら(シリコンソーシアム)は、HOYAのLSI設計部門とアライアンスを組み、ASICの設計開発から製造までを、一貫して受託するビジネスを行っている。HOYAは日本(新横浜,京都)と中国(蘇州)に拠点を持ち、LSI設計を中心に、仕様設計からGDS II、マスクまでサポートしている。

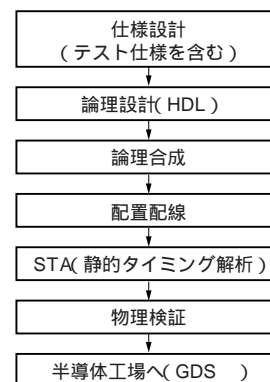


図1
LSI設計フロー
概要を示す。