

# LVDSに詳しくなれる 11のノウハウ

河西基文

ここではデバイスとデバイスを数十MHz～数百MHzといった周波数で接続する際に，最もよく利用されるLVDS (Low Voltage Differential Signaling) について，位置付けや利点，ドライバ/レシーバの使い方などを中心に解説する。(編集部)

電子機器の高性能化に伴い，各デバイス間で使用する信号の帯域が上がってきました。その通信速度を上げる方法の一つとして，差動伝送方式があります。差動伝送にはCML (Current Mode Logic) やLVDSなどといった電圧や電流の規定があります。ここでは特にLVDSについて，米国National Semiconductor社のデバイスを例に解説します。

know-how



### 2本で1本分の信号を伝えるLVDS…

#### ドライバ出力は数mA，数百mVと小さい

差動信号はデータ伝送に2本の導体を使用する伝送方式です。LVDSは，この2本の導体と受信側の終端抵抗を使用し，伝送経路の電流が終端抵抗の両端に電圧を発生させるという単純な伝送方式を用いることで，デジタル信号を伝送します(図1)。

LVDSのドライバは差動信号を駆動するための電流源(3.5mA)で構成されています。レシーバの入力インピーダンスが非常に高いため，伝送ラインに流れる電流は100Ωの終端抵抗を流れドライバ側に戻ります。その結果，終端抵抗の両端で350mVの電圧が発生します。

差動コンパレータでもあるLVDSレシーバは，プラス側からマイナス側へ電流が流れる状態を論理値‘1’，逆のマイナス側からプラス側へ流れる状態を‘0’と認識し，信号

を出力します。

know-how



### 2 LVDS準拠のデバイスは相互接続可能

LVDSは，1995年にEIA (Electronic Industries Alliance；米国電気通信工業会) およびTIA (Telecommunications Industry Association；米国電子工業会) で策定された仕様です。EIA/TIAでは将来的にさまざまな通信規格から参照されることを意図し，LVDSの電氣的な信号レベルの特性だけを定義し，伝送媒体(ケーブルや基板)やアプリケーション(使用法)，プロトコルはユーザが自由に使用できるように，あえて定義しませんでした。実際に現在の長距離伝送や高速性が必要な通信規格は，LVDSをベースとした差動信号方式を採用しています。

現在LVDSはANSI/EIA/TIA-644-A (LVDS) として規定されており，各社のLVDS準拠のデバイスはそのまま相互に接続できます。また，LVDS仕様以外の差動信号でも，

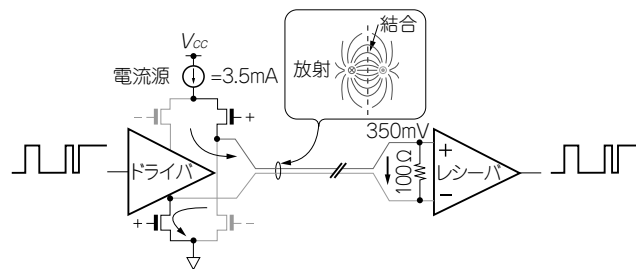


図1 LVDSの基本回路

レシーバの入力インピーダンスは非常に高いため，伝送ラインに流れる電流は100Ωの終端抵抗を流れドライバ側に戻る。その結果，終端抵抗の両端で350mVの電圧が発生する。

### Keyword

LVDS, EMI, ANSI/EIA/TIA-644-A, プリエンファシス, イコライザ, アイ・パターン, スキュー, M-LVDS, ジッタ, UI, シリアライザ, デシリアライザ, 基板レイアウト

使用するLVDSデバイスの仕様の範囲であれば接続できます。



### 3 低ノイズで最大3Gbpsと高速

小振幅と差動伝送方式の採用により、LVDSの実際の製品では最大3Gbpsの高速性、数十mの長距離伝送を実現しています。消費電力はデバイスによりさまざまです。例えば、National Semiconductor社のドライバ「DS90LV047」は4回路入りで25mA程度(4チャンネル同時スイッチング、300Mbps)の電流を消費します。速度3Gbpsに対応する「DS25BR110」(1回路入り)では、プリエンファシスOFFで約35mA(1W)程度です。実際のところ製品に依存します。

LVDSは出力電流が数mAと小さく、振幅が数百mVと低いため、電源-グラウンド間に発生するノイズは大幅に減少します。2本の差動信号の配線が結合することにより、放射する電界を打ち消しあいEMI(Electro-magnetic Interference)を低減できます(図1)。

デジタル信号の最大速度は、信号の立ち上がり/立ち下がり時間(スルー・レート)で規定できます。同じスルー・レートでは振幅が小さければ小さいほど速度が上がります。スルー・レートが同じ一般的なTTL/CMOSなどのデジタル信号(以降、シングルエンド信号)と比較すると、1/7の振幅のLVDSでは、7倍の速度をサポートできます(図2)。LVDSでは、このように信号振幅を小さくして高速性を実現しています。

また、LVDS仕様では最大655Mbpsの転送速度ですが、スルー・レートを上げることで高速化が可能のため、個別の製品では最大で3Gbps程度までサポートしています。さらに速度が必要な場合は、図3のように異なる伝送方式のCMLを使用した製品があります。現在CML方式では10Gbps程度の速度にも余裕をもって対応できます。

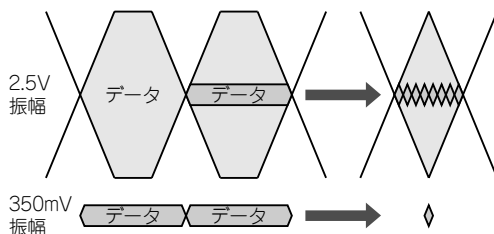


図2 振幅を小さくできるLVDSは高速データの転送に向く

そのほかに負電源を使用するECL(Emitter Coupled Logic)、ECLを正電源に変更したPECL(Positive ECL)、PECLの低電圧版のLVPECL(Low Voltage Positive ECL)などの差動方式があります。各差動信号の重要なパラメータである、シングルエンド信号としてのグラウンドからの電位差と差動振幅を図4に示します。

それぞれ仕様は異なりますが、LVDS仕様はACカップリングを使用することで負電源のECL信号も含め接続が可能です。なお、ACカップリングではDC成分を通さないため、信号遷移が早くDCバランスがとれたコーディングが必要です。



### 4 レシーバ側は1.25 ± 1Vのコモン・モード電圧を許容できる

図5はEIA/TIA-644A LVDS仕様の基本的な特性を記載しています。差動振幅 $V_{OD}$ (プラス側とマイナス側の出力差)は平均350mVを出力します。レシーバ側では最低100mVの振幅が必要と規定されています。また、シングルエンド信号では存在しないパラメータのコモン・モード電圧 $V_{CM}$ (差動信号の中心電圧)が規定されています。

ドライバ出力の差動振幅はわずか350mVですが、レシーバは1.25Vを中心に±1Vの広い範囲のコモン・モード電圧(オフセット電圧)に対応しています。実際の製品では使用する電源-グラウンド間をコモン・モード許容範囲とする製品も多くあります。

図6の上がグラウンドを基準とした実際の $A_+$ と $B_-$ のシングルエンドの波形で、下が差動プローブで観測できる波形です。 $A_+$ と $B_-$ の電位差はコモン・モード電圧の1.25Vを中心に350mV(1.375V - 1.025V)になります。

$A_+$ が $B_-$ に対して350mV電位が高い状態が論理値‘1’で、 $B_-$ が $A_+$ に対して350mV電位が高い状態が論理値‘0’となります。

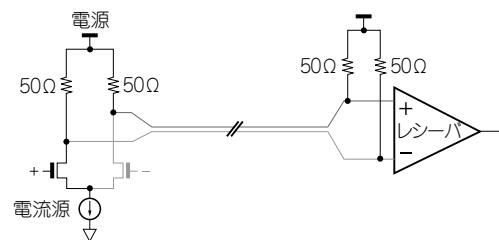


図3 CMLの基本回路

10Gbpsといった高速伝送に対応できる。

