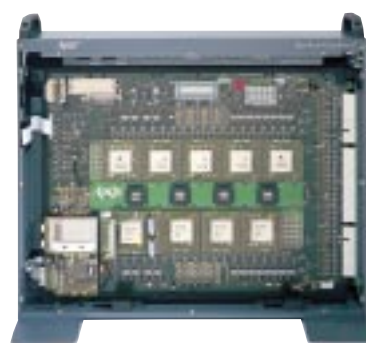
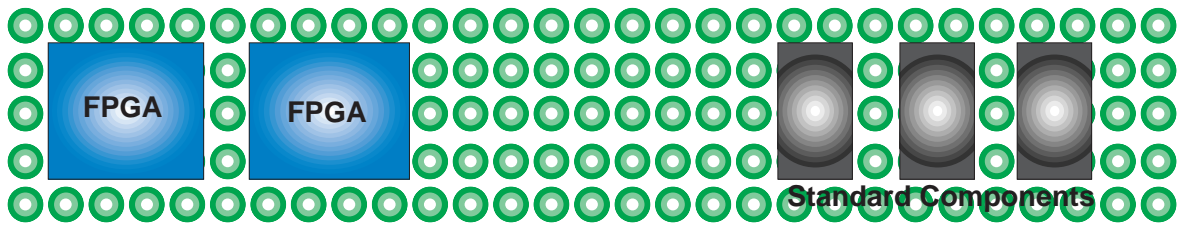
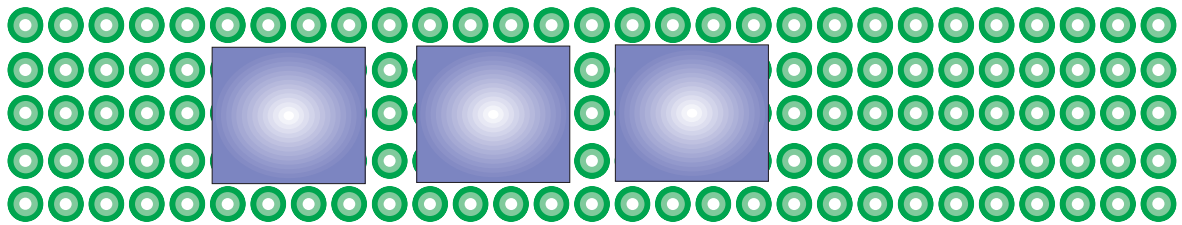




Zuken Rapid Prototyping Solution
ラピッドプロトタイピングソリューション

Aptix Reconfigurable System Prototyping *System Explorer Series*





回路の大規模化、トップダウン設計、設計の再利用などに対応する実環境下でのリアルタイム検証が求められています。



回路規模の飛躍的な増加に伴い、トップダウン設計、設計の再利用という新しい手法も一般に広がっています。一方、検証技術がその質、スピードとも設計手法の進化に追いついておらず、検証はますます深刻な問題として立ちはだかっています。EDAベンダーは、実環境下でのリアルタイム検証という新しい課題に対応する新しいソリューションを求められています。その一つとして、近来エミュレータが必須の手段となりつつありますが、実行速度、価格、扱い易さの点で、大きな問題があります。

AptixのSystem Explorerは、Aptixの技術と最先端の高機能FPGAが可能にした、使い易く実用的な、リプログラマブル・プロトタイピングシステムを、リーズナブルな価格でご提供します。ダイナミックな拡張性を備えており、常に迅速且つ高品質なプロトタイピングやデバッグが可能です。

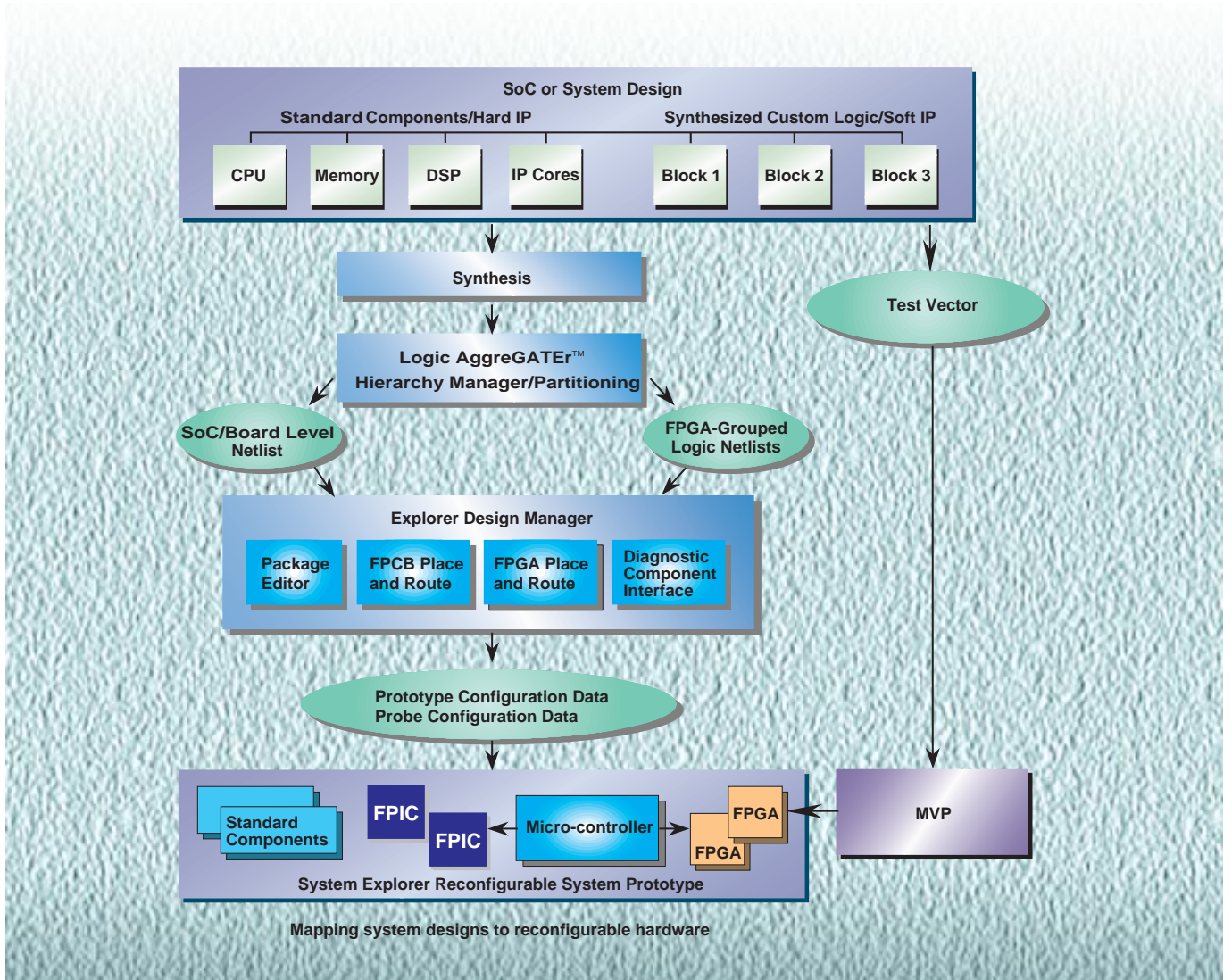
もちろん、既存のEDAツールや、高機能のソフト/ハードデバッグツールもサポートしているので、お客様の設計フローに容易に組みめます。

また、コンパクトな筐体に収納されており、実環境での検証が可能です。

実行速度の面でも、System Explorerの持つ柔軟なオープン・アーキテクチャは、プロトタイピングリソースを最適化するため、リアルタイム検証が可能です。

株式会社図研は、日本国内のAptix総代理店として、既に200セツ近い販売実績を持ち、数多くの成功事例をいただいております。特に、厳しいTime-to-Productionが要求される移動体通信関連分野では、7割のシェアを誇っております。

一気に打ち破ります。



System-on-Chip Prototyping

- オープンアーキテクチャ
常に最新のFPGA/PLDをご提供
IPの組み合わせ、IPの検証に使う様々な
コンポーネントを搭載可能
- DSP、MPUなどの評価ボード
 - 標準部品
 - お客様のASICまたはコア
 - FPGA

High-Speed Verification

- RTLブロック単位での検証が可能
ブロックベースエミュレーション
ハード/ソフトコ・デザイン
インクリメンタルにデザインを
拡張することが可能
ロジックアナライザとの組合せによる
ハードウェアデバッグ
FPGA、システムのセットアップを
自動で実行

IC Emulation

- ミリオンゲート規模の
プロトタイピングが可能
ハードウェア・ソフトウェア
協調検証が可能
Verilog™、VSS™との
組合せが可能(99/1 現在)
GUIによる対話型論理分割ツール
Logic AggreGATer™



System Explorer™

2つのキーテクノロジー：FPCB®/FPIC®

FPCBは、デザインブロック間をつなぐ、プラグ・アンド・プレイ式の実用的なプログラマブル・ボードです。

システムのデザインブロックをマッピングしたコンポーネントをドーターカードに載せ、さらにドーターカードをFPCB上の“フリー・ホール”に差込みます。

FPICは、高ピンカウントの再プログラミングが可能な配線用デバイスで、ソフトウェアでプログラミングします。

プロトタイプシステム上の様々なコンポーネントの入出力間を、高速・高密度に配線します。

デバッグ時の接続変更も数分で実行できます。

Aptix Axxess™ コントロールソフトウェア

プロトタイプのコンフィギュレーション ロジックアナライザのリモートコントロール

プロトタイプのコンフィギュレーション/ロジックアナライザのリモートコントロールを実行します。

ネットリストチェック機能を装備。

インタラクティブに配置・配線。

Package Editor内蔵。モジュールのカスタムライブラリを作成。

プロトタイプハードウェアの自動診断フローリングを、GUI経由で実行できます。

デバッグを簡単に実行できます。

System Explorer

配線デバイスFPIC/専用基板FPCB
機能検証を行うシステムプロトタイプ

配線デバイスFPIC

Field Programmable Interconnect Component

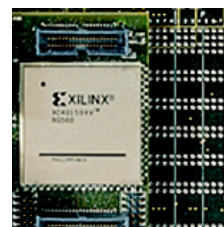
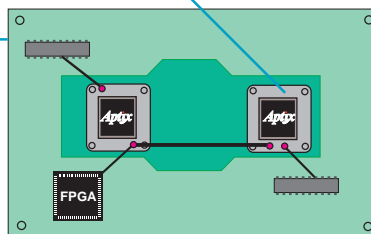
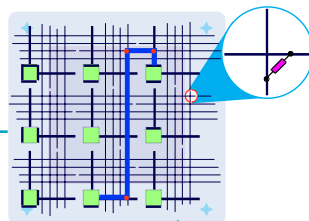
AX1024AR : 実装部品間の配線
AX1024AD : L/A用インタフェース

FPIC専用試作基板FPCB

Field Programmable Circuit Board

AXB-MP3C/AXB-MP4

FPGAなどを実装しプロトタイプを作成



Debug Environment

ロジックアナライザ(L/A)
パターンジェネレータ(P/G)

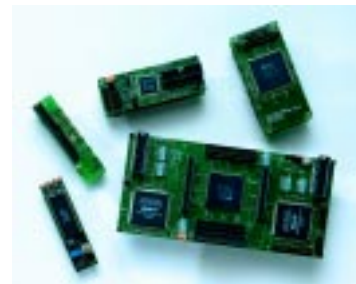
Aptix Aress

コントロールソフトウェア

実装部品間の結線情報をベースに
FPICをプログラミング
ホスト : Sun, Solaris, HP



FPGAモジュール



システムエミュレーションモジュール

Debug Environment

自動プロービングによりハードウェアが簡単にデバッグ

自動プロービングにより、デザインやプロトタイプを簡単にチェック
できます。

GUIを使って、プローブするシステムネットやコンポーネントピンを
選びます。

HPのロジックアナライザをExplorerソフトでセットアップします。
リモートコントロールで、チャネルアサイン、バスのグルーピング、
ラベリングのディスプレイが可能です。

最新のHPデバッガーツールをサポート

HP16700、HP16702、HP16600、HP16500

Open Architecture

FPGA/システム・エミュレーション モジュール

ユーザーロジックは、FPGAにインプリメントされます。異なる
ベンダーのFPGAも、ボード上に自由にマウントできます。FPGAベン
ダーとの密接な提携により、常に最先端の高容量、高速度FPGA
が提供されるので、システムが陳腐化する心配はありません。

現在、Xilinx、Altera、Lucent及びGatefield社のFPGAを
サポートしています。新型FPGAには、米国でのリリース後、4週間
以内に対応致します。

マイクロプロセッサ、DSP、インタフェース回路、及びASICマクロ
セルといったシステムデザインは、メモリのような汎用部品と一緒に
カスタムモジュール上にマウントします。カスタムモジュールの開発・
製造は、コンサルティングスタッフがサポート致します。



System Explorer™ MP3C

お客様のご要望を取り入れ、MP-3Aが進化しました。

電源内蔵のケースにマウント

(5V/3.3v/2.5vのマルチ電源サポート)

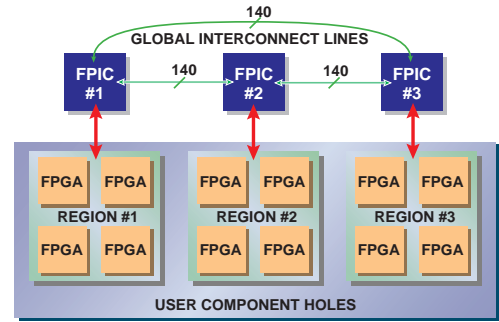
FPIC間ネットを140本に、I/Oも640本まで拡張

FPGAのクロックを8系統まで拡張

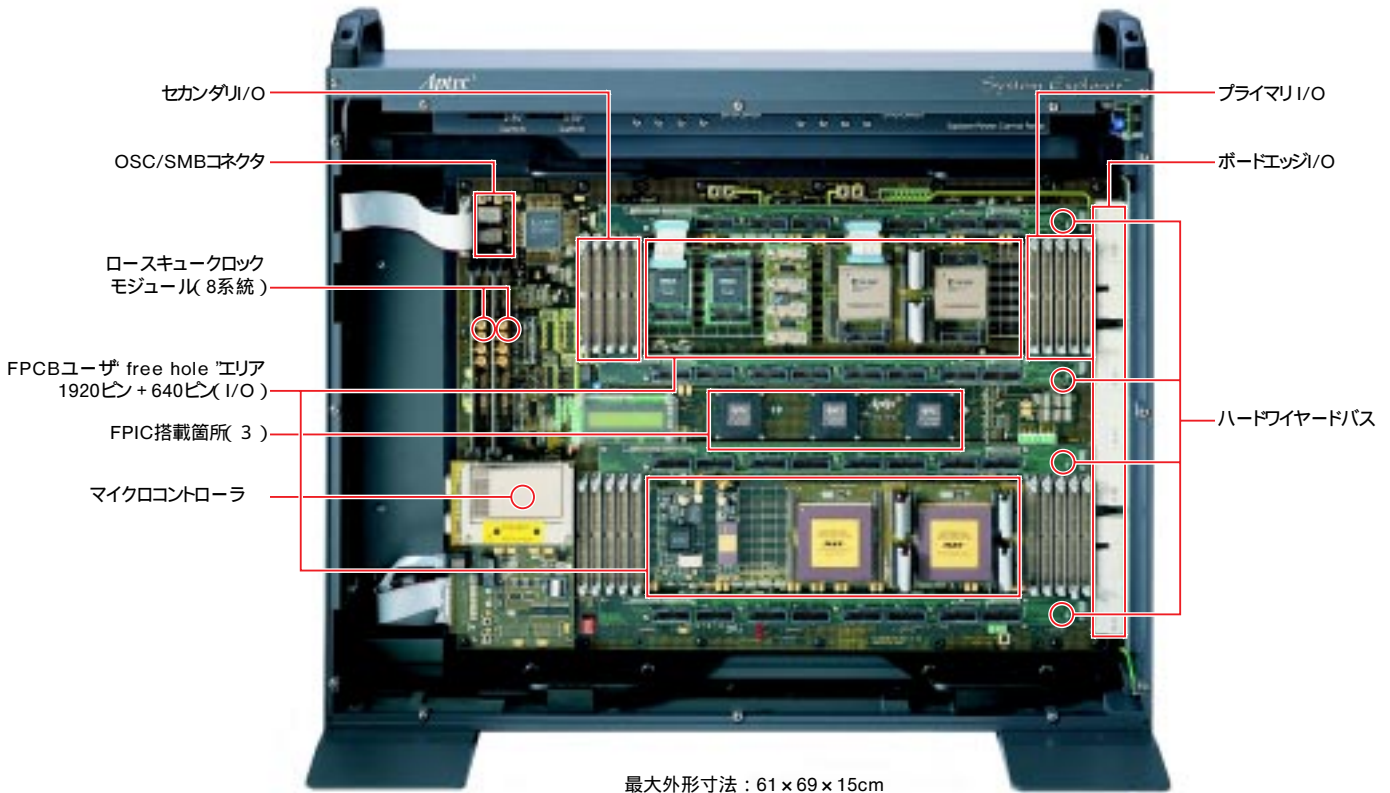
MP-4アダプタが使用可能

FPGA/PLDを最大16個まで搭載可能

ロジックアナライザとのI/F(64ch x 3本)を装備

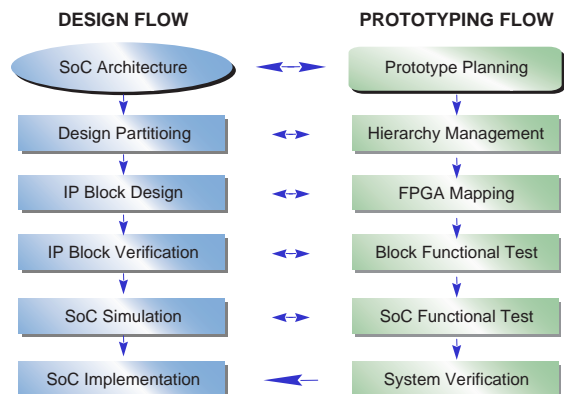


MP3Cボードアーキテクチャー



設計フロー「設計とプロトタイプ同時進行」

System Explorerのプロトタイプコンフィギュレーションは、システムやASICの設計と並行して進みます。ブロックマッピングや、ソフトウェア・ハードウェアをインクリメンタルに検証できます。デザインの進捗に合わせて順次プロトタイプを構成していけるので、最後のRTLブロックがマッピングされ、検証が済んだ時点で、すぐに実環境でのシステム機能検証が実行可能になります。個々のブロックは、I/Fブロックと併せて検証を行った状態で、それぞれ単体のIPブロックとして蓄積することができます。





System Explorer™ MP4

さらに大規模なエミュレーションを提供します。

最大120万ASICゲートのエミュレーションが可能

(Xilinx® Virtex™ V1000使用時)

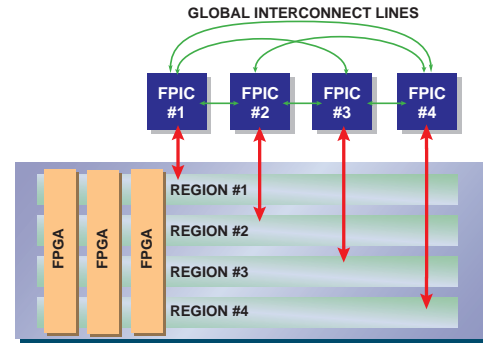
マルチプレクサによるハイスピードバスを採用

より柔軟なバスライン対応

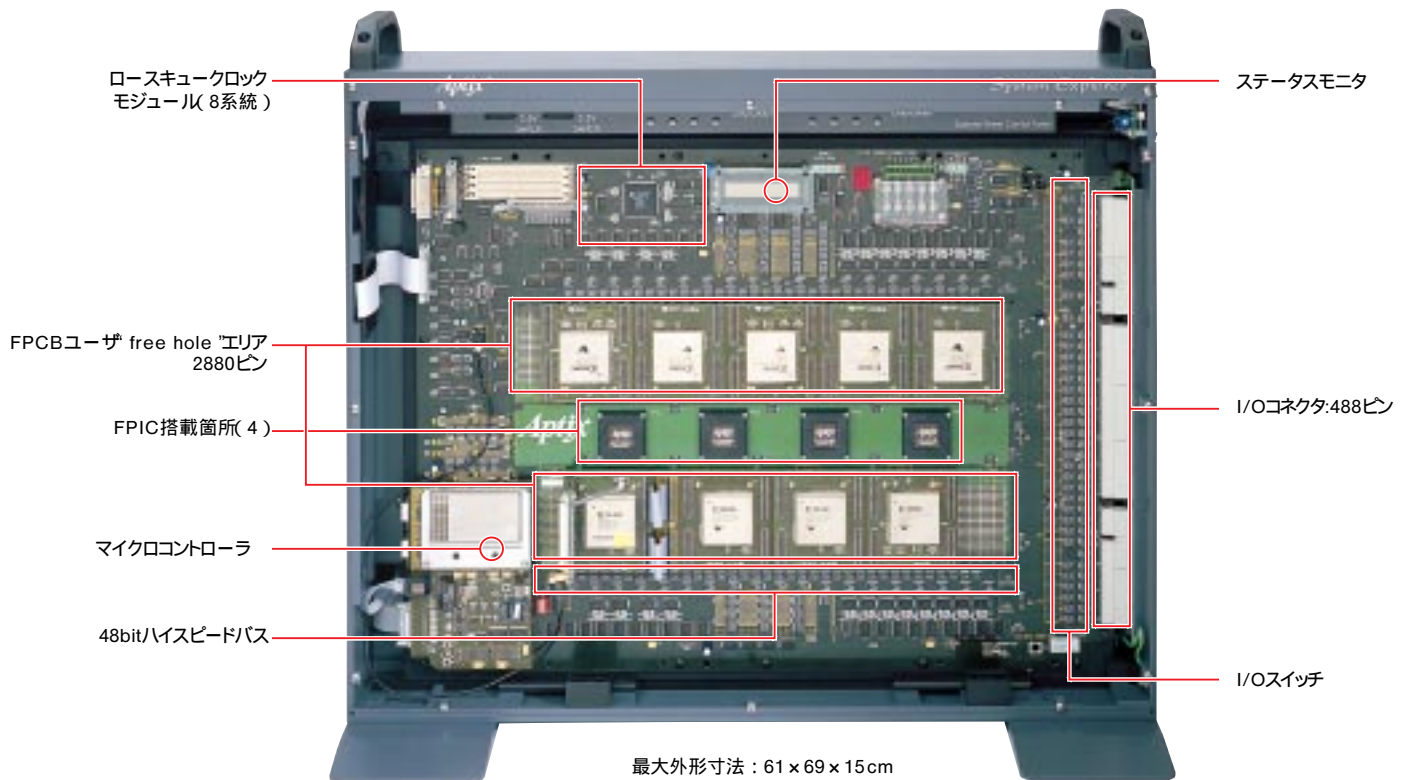
FPGA/PLDを最大20個まで搭載可能

各種アダプターをラインアップ(オプション)

ロジックアナライザとのI/F(64ch x 4本)を装備



MP4ボードアーキテクチャー



マイクロコントローラ (MP3C、MP4共通)
 FPGA/FPIC用データを一括ダウンロード
 イーサネットコントローラ内蔵
 ハードウェアセルフテスト機能
 コンパクトフラッシュ搭載

MP3Cユーザブル・ゲート数 (1999年3月現在)

FPGA	最大搭載可能数	ユーザブル・ゲート総数
Xilinx	XCV1000 8個	8,000,000 Gates
ALTERA (FLEX10K)	EPF10K250 8個	2,000,000 Gates

MP4ユーザブル・ゲート数 (1999年3月現在)

FPGA	最大搭載可能数	ユーザブル・ゲート総数
Xilinx	XCV1000 10個	10,000,000 Gates
ALTERA (FLEX10K)	EPF10K250 10個	2,500,000 Gates



Logic AggreGATER™

System Explorerを強力にサポートする対話型論理分割ツール

LogicAggreGATERは、グラフィカルな階層管理ツールで、複雑なデザインもインタラクティブに効率良くFPGAにインプリメントし、System Explorerの効果をアップします。

階層構造に基づき、デザインブロックをマッピング対象のFPGAのI/Oやゲートリソースに合わせて、グルーピング/アングルーピングできます。

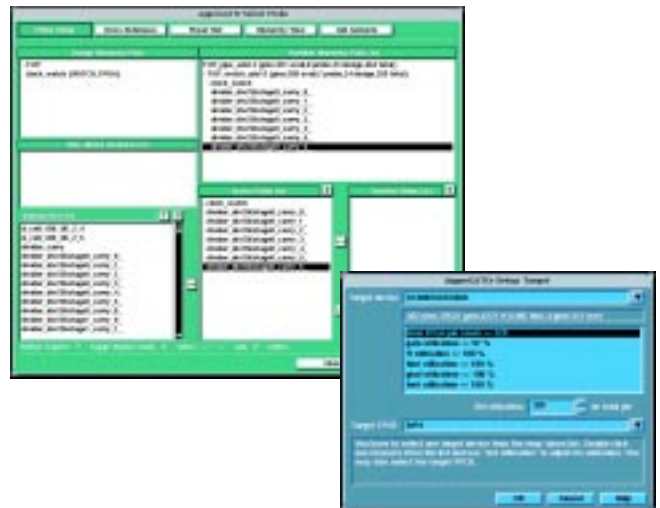
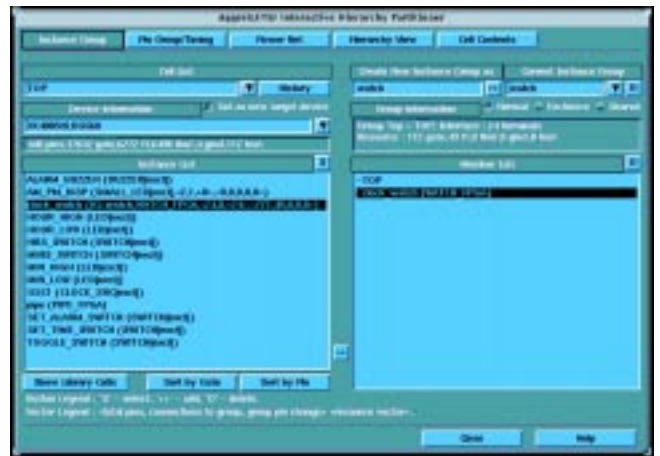
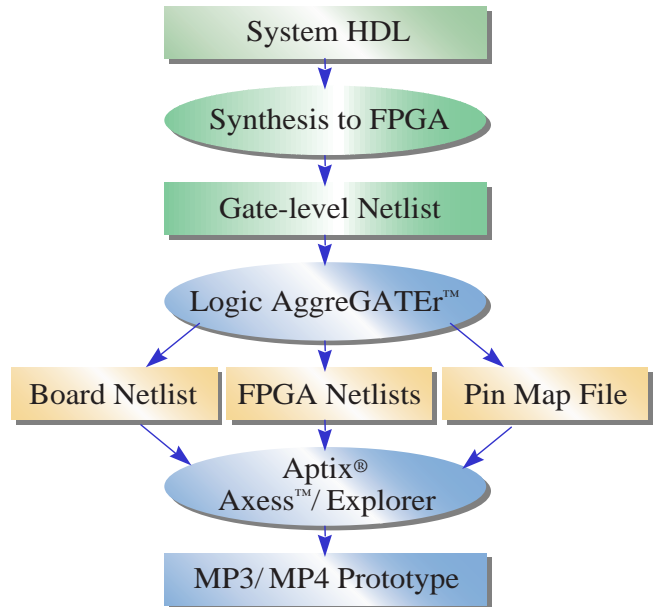
クリティカルブロックのグルーピングを終えた後は、Logic AggreGATERが残りのロジックを自動的にグルーピングします。分割後のアウトプットは、システムレベルボロジや個々のFPGAのネットリストとして出力され、System Explorerのプロタイピング環境にスムーズに取り込まれます。

発見されたバグは素早くソースにトレースバックされ、即、デバッグ可能です。

バグが見つかった場合、普通、修正や再配線を実施するFPGAは一つだけですから、設計修正やリコンパイルにかかる時間は短縮されます。

階層をインタラクティブにマニュアルグルーピングするので、使用するFPGAの数は最小限で済み、プロトタイプを高速に動作させることができます。

- Verilog, EDIF, XNFをサポート(VHDL対応予定)
- 基板レベルの分割も可能。複数の基板にマッピングできます。
- FPGAの内部ネットを指定できます。
- IPをハードまたはソフトIPとして“ブラックボックス”化し、プロットタイピング出来ます。
- DRCにより、人為的ミスを防ぎます。
- ブロックをI/Oまたはゲートの数でソーティングできます。
- 任意のブロック間のコネクティビティをレポートします。
- ヒエラルキーを選んで、水平化できます。
- グループを選んで、ヒエラルキーを修正できます。
- 数百万ゲート以上のデザインを処理できます。
- System Explorerに必要なファイルは全て生成します。(FPGAネットリスト、ボードレベルネットリスト、ピンマップファイル)





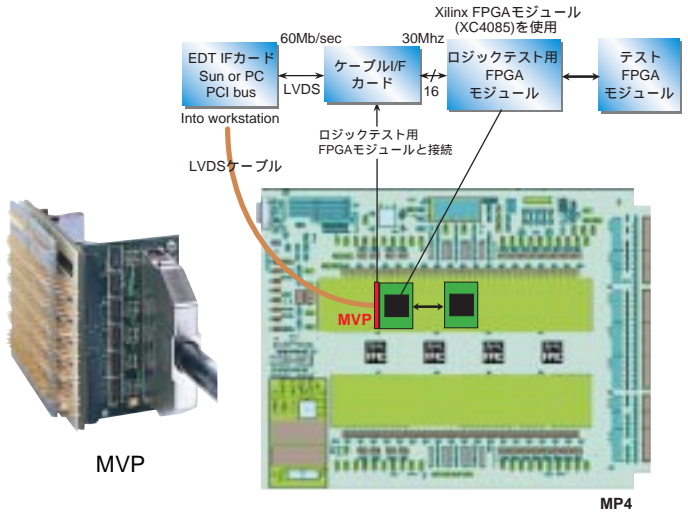
MVP (Module Verification Platform™)

モジュールベリフィケーション用プラットフォーム

MVPは、Aptixのブロックベース・プロトタイピング手法にのっつた、ロジックアナライザ/パターンジェネレータの限界を超える検証用モジュールです。

ソフトウェアモジュール部とハードウェア部で構成され、ベクターを1KHz~1MHzのレンジでドライブします。

従来の“メインフレーム型”ASICエミュレータは、マッピングを始める前に、ASIC設計が完成していなければならず、またシステムボードが出来上がるまで、実環境テストは不可能です。これに対し、MVPを用いたブロックベース・プロトタイピングは、個々のブロックを、RTLレベル設計が完了した時点でプロトタイピングし、システムをインテグレートしていきます。



MVPハードウェア構成

- ベクタ幅：400 I/O ~ 1600 I/O (時分割多重送信時)
- ベクタ長：無制限
- 32bit PCIカードスロットを持つSun SPARCステーションで動作
- ベクターモード/コ・シミュレーションモードの二つをサポート

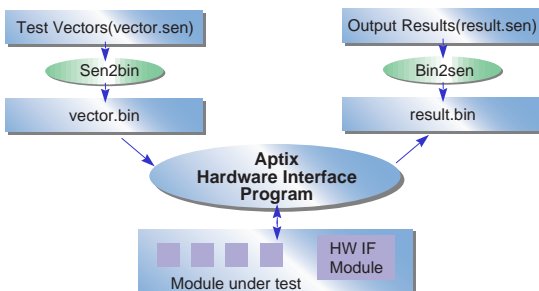
RTLデザインのシミュレーションで使ったテストベンチをそのまま使って回帰テストができます。

ブロックベース・プロトタイピング手法のコンサルティングと、ユーザーの検証環境に合わせたカスタマイジングサービスが含まれます。



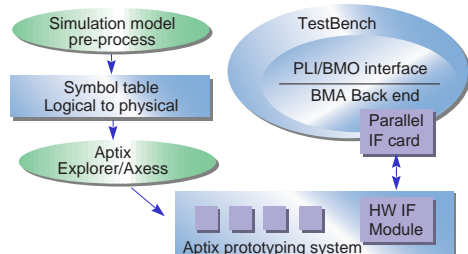
ベクターモード

- テストベクターを、Aptixシステム上で簡単に動作
- 結果をシミュレータフォーマットに再変換
- 双方向信号サポート
- 実行速度 1MHz



コシミュレーションモード

- PLIを用いてシミュレータと協調検証
- Verilog-XL™, ModelSim™をサポート
- 実行速度 1KHz
- Aptixシステムでデザインを協調検証しながら、ユーザーのシミュレータでテストベンチを稼働できます。





System-on-Chip Explorer™ Pro-V

高集積システムLSI、ASICデザイン用にパッケージ化しました。

100万ゲートを超えるロジックゲートを必要とするユーザー様向けに、プロトタイピング及びエミュレーションのパッケージソリューションを用意しました。

システムLSIのプロトタイプを素早くコンフィギュアし、エンジニアリングコストを抑えながら、Time-To-Marketを格段に短縮できます。

System-on-Chip Explorer Pro-V 構成

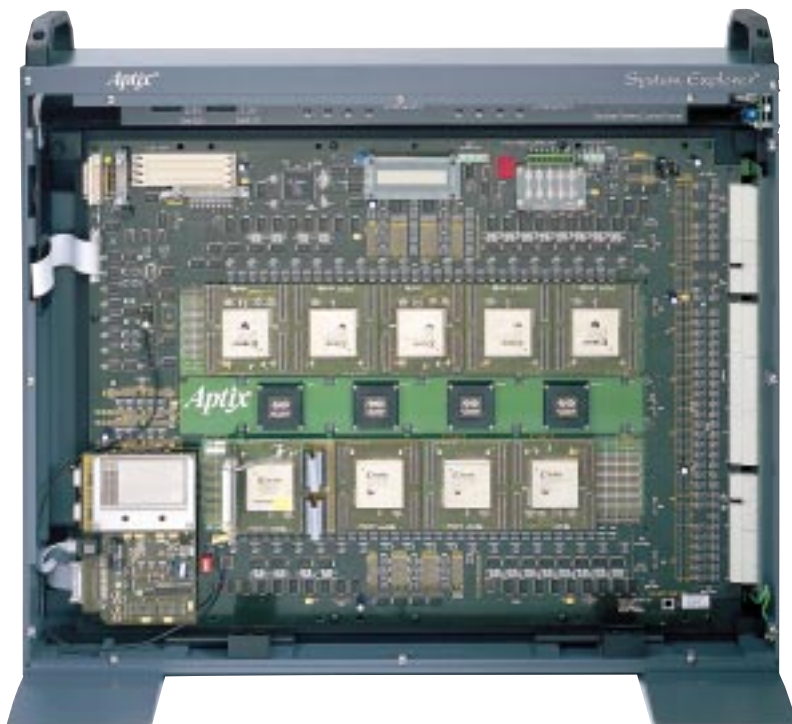
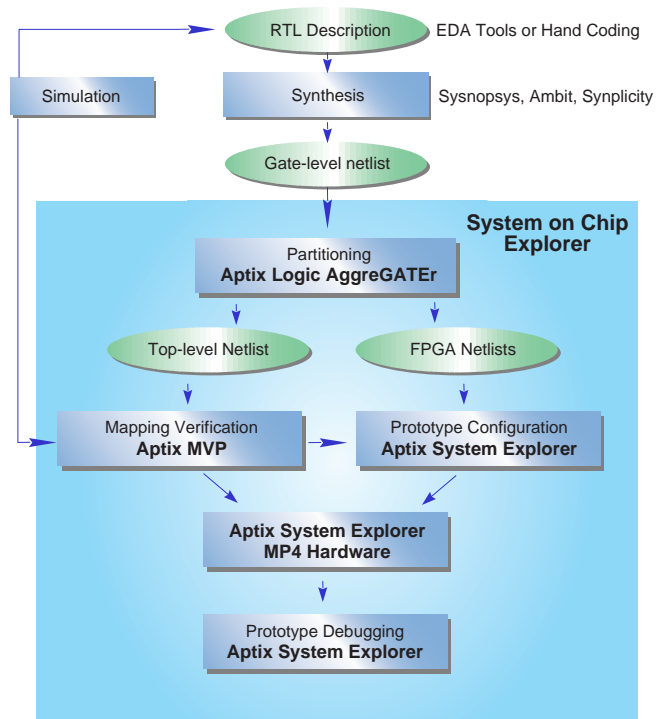
- プロトタイプシステム System Explorer™ MP4
- FPGAモジュール Xilinx Virtex™1000 FPGA × 8 (Altera社製FPGAもサポート予定)
- パーティショニングソフト LogicAggreGATer™
- 検証用モジュール/コンサルティングサービス MVP™
- 配置配線ソフト Xilinx M1 × 5
- オンサイト・トレーニング

ハードウェアスペックは、System Explorer MP4に準じます。

- キャパシティ:
- 120万ASICロジックゲート + 1Mbit エンベデッドブロックRAM
- 500万エミュレーションゲートと等価
- (ロジック部・200万/メモリー部・300万)
- (1bitあたり3ゲート)

参考設計例：ネットワーク用チップ

- 250万LSIロジック + メモリゲート(LUTゲート)
- 既存のプロトタイプ = 29pc. XC40125
- System-on-Chip Explorer™ = 12pc. Virtex™ 1000 / ボード2枚
- A社のエミュレータで実行すると、FPGAを各36個搭載したボードが8枚になります!





Consulting & Design Service

お客様を強力にバックアップします。

コンサルティング&デザインサービス

(株)図研、およびAptixの経験豊かなエンジニアが、お客様の環境に合わせた検証システムの構築をお手伝い致します。プロトタイピングモジュール等のAptix製品のカスタマイズにとどまらず、検証手法そのもののノウハウをご提供します。

また、お客様に代わって、プロトタイピングボードの設計、あるいはプロトタイピング全体のコンフィギュレーション~システム検証までを完全に受託することも可能です。

現在まで、NB/WB-CDMA、MPEG、2D/3Dグラフィックス、イーサネットコントローラ等の設計実績があります。

さらに、図研のSoCデザインセンターがシステム/FPGA/ASIC/PCBの設計受託も行っております。

概略仕様レベル~RTL設計仕様レベルまで、幅広い開発インターフェースに対応すると共に、お客様が再利用可能な設計手法での開発設計を行います。

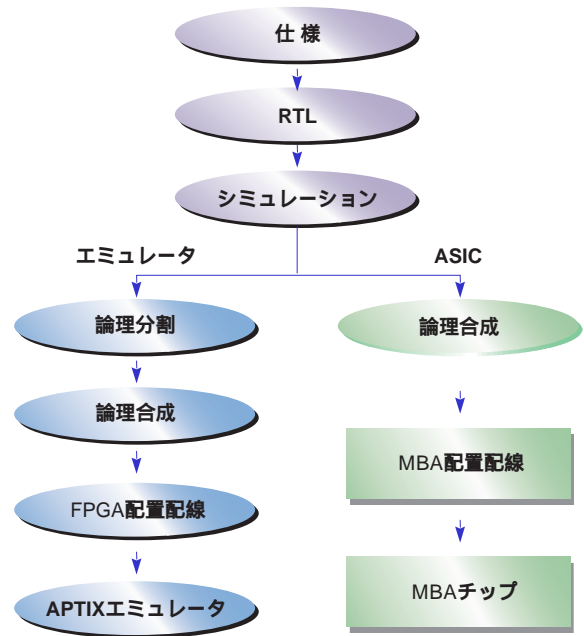
(Verilog /VHDL/回路図)

設計環境

- NC-Verilog、ModelSim
- Design Compiler、Synplify
- Prime Time
- Max Plus 、Xilinx M1

デバイス(LightSpeed社製Module Based Array*)にインプリメントした形でお届けすることも可能ですので、併せてご利用下さい。

*Module Based Arrayは、図研が独占販売権を持つ新しいASICです。製品の詳細は、担当営業までお問い合わせ下さい。



ユーザー事例：DigitalTV検証システム

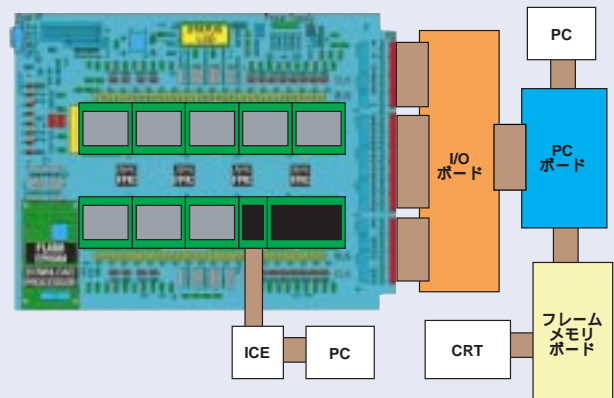
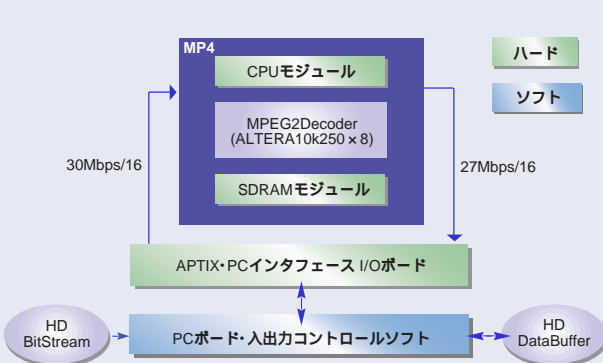
検証システムのコンサルティングからご提供いたしました。

開発ゲート規模：600K~700K

デザイン構成：CPU、RAM、コントロール部、D-TVモデル(新規設計)

ターゲットFPGA：ALTERA 10K250A x 8

検証システム開発期間：2ヶ月



株式会社 図研

図研は、2000社以上のエレクトロニクス系製造業のお客様に、プリント基板用EDAシステムなどをご提供するとともに、ASIC設計分野においてもお客様のニーズに対応したソリューションを提供しています。

92年、Aptix社に資本参加し、国内総代理店として新デザイン・メソッドの普及と、ASIC開発期間短縮に貢献してきました。また、三菱電機マイコン機器ソフトウェア(株)のMEB200シリーズの販売代理店として、エミュレーションという設計手法のすそ野を広げるための活動も行っております。

98年、短期間で設計/製造可能な新ASIC技術(Module Based Array)を開発した米国LightSpeed Semiconductor Corporation社に資本参加し、国内総代理店として提供を開始。さらに、99年4月にデザインセンターが発足。オリジナルIPのご提供を含む設計受託を開始しました。即戦力として、安心してご用命ください。

Aptix Corporation

1989年、米カルフォルニア州シリコンバレーに設立。同社が開発したFPCB及びFPICというリプログラマブル・インターコネクト技術は、40件以上の特許を有しています。

複雑なエレクトロニックシステムやシステムLSIの検証手法におけるデファクト・スタンダードを目指し、飛躍的な成長を続けている企業です。

*FPCB(Field Programmable Circuit board)

*FPIC(Field Programmable Interconnect Component)

Aptix System Explorerに関するお問い合わせは

株式会社 図研 SoC 事業部

〒222-0033 横浜市港北区新横浜3-1-1

Tel: 045-473-9131 Fax: 045-473-8771

e-mail: aptix@zuken.co.jp http://www.zuken.co.jp/

*製品の性能向上のため、仕様・外観などを予告なく変更することがあります。
*このカタログに記載された会社名、製品名は、各社の商標または登録商標です。

Aptix System Explorer販売代理店

ZUKEN
株式会社 図研

本社・中央研究所/〒224-8585 横浜市都筑区荏田東2-25-1 TEL(045)942-151(大代)FAX 1599
新横浜本社/〒222-0033 横浜市港北区新横浜3-1-1 TEL(045)473-6868(大代)FAX 8958
関西支社/〒530-0003 大阪市北区堂島1-6-20 TEL(06)6343-114(代)FAX 1144
名古屋支社/〒460-0008 名古屋市中区栄1-3-3 TEL(052)222-3131(代)FAX 3132
仙台支社/〒980-0811 仙台市青葉区一番町4-6-1 TEL(022)267-9055(代)FAX 9056
九州支社/〒812-0025 福岡市博多区店屋町1-35 TEL(092)282-3360(代)FAX 3370