VeriLogger Pro 操作チュートリアル

本チュートリアルでは，基本的なプロジェクトの作成，プロジェクト内にある Verilog-HDL ファイルのシミュレーションについて説明します．

1) プロジェクトにファイルを追加する

VeriLogger Pro シミュレータは，「プロジェクト」を使ってシミュレーション・オプションの制御，シミュレーションされる Verilog-HDL ファイルの設定，シミュレーション時の波形の選択を行います．
プロジェクトを作成するには，まずはじめに Verilog-HDL ファイルを**プロジェクト・ツリー・ウィンドウ**に加えます．Verilog-HDL ファイルをプロジェクトに加えるには以下の 2 種類の方法があります：

- プロジェクト・ツリー・ウィンドウ内で**右クリック**し，コンテキスト・メニュを開き，**[Add File(s)...]**を選択(**図 1**)．
- メニュの**[Project]-[Add File(s)....]**を選択(**図 2**)．
- どちらの操作でも，ファイル選択ダイアログが開くので，プロジェクトに加えたいファイルを選択して，「開く」ボタンをクリックしてダイアログを閉じます．そして，選択したファイルがプロジェクト・ウィンドウに表示されることを確認します．なお，プロジェクト・ウィンドウ内のファイル名をダブル・クリックすると，内蔵のエディタが起動し，Verilog-HDL ソース・コードを見ることができます(**図 3**)．

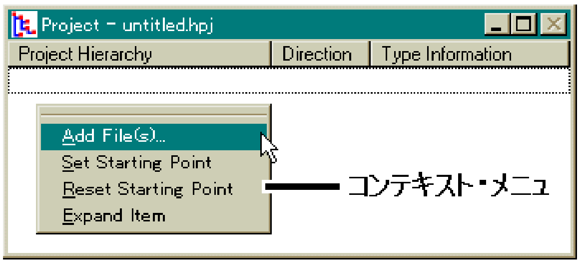

図 1　プロジェクト・ツリー・ウィンドウ

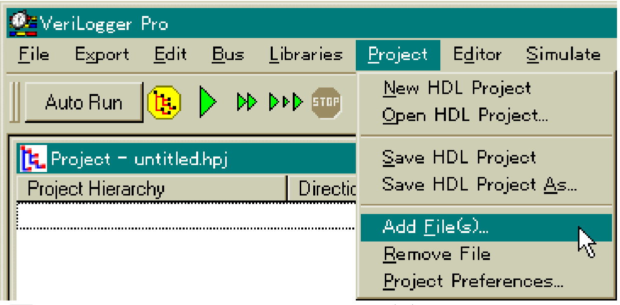

図 2　メニュの[Project]-[Add File(s)....]

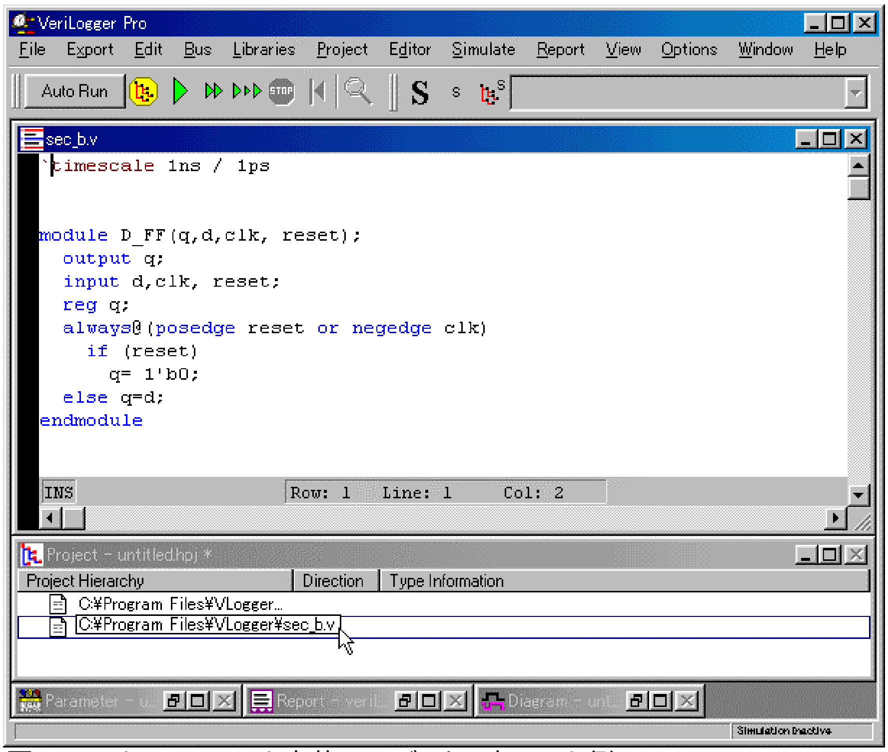

図 3　sec_b.v ファイルを内蔵のエディタで表示した例

2）プロジェクトのビルド

以上で，プロジェクトに Verilog-HDL ファイルを加えることができましたが，このままではモジュール内の**階層構造**を表示できません．プロジェクトに含まれるモジュール内部の階層構造を**ツリー状に表示**するには，まず，**ビルド**，またはシミュレーションを行わなければなりません．**ビルド・コマンド**は Verilog-HDL ファイルをコンパイルし，Verilog-HDL ファイル内部のモジュールのツリーを作ります．ビルドでは，モジュールをコンパイルするのみで，シミュレーションは行いません．大きなプロジェクトでも，ビルド・コマンドを使うことで，シミュレーション・プログラムを実行しなくとも，短時間でモジュールのツリー構造を得ることができます．プロジェクトをビルドするには以下の 3 種類の方法があります：

- シミュレーション・ボタン・バーにある黄色のビルド・ボタンをクリック．
- メニュの[Simulate]-[Build]を選択.
- <F7>キーを押す.

一度プロジェクトがビルドされると，Verilog-HDL ファイル内のモジュール，信号，ポート，コンポーネント，すべての情報を得ることができます．あるモジュール名は**<<モジュール名>>**のように表示されますが，これはプロジェクトの**トップ・レベル・モジュール**であることを示しています．このモジュールがプロジェクトの一番上のインスタンスであり，これに続くサブ・モジュールは，トップ・レベル・モジュールのツリーをたどることで見ることができます(**図 4**).

プロジェクトをビルドした後，トップ・レベル・モジュールの信号，ポートは自動的に波形表示ウィンドウに追加されます．ここで，トップレベル・モジュールがポート信号を持っていない場合，モジュール内部の信号が表示されます(**図 4**)．また，トップレベル・モジュールがポート信号を持っている場合，出力ポート信号が紫色で，入力ポート信号が黒色で表示されます．黒の入力信号は，テスト・スティミュラスをトップレベル・モジュールに入力するのに使われます．波形描画機能については，WaveFormer Pro マニュアルの一章，またはオンライン・マニュアルをご覧ください(**WaveFormer Pro マニュアルは，本CD-ROM またはホーム・ページよりダウンロード可能**)．

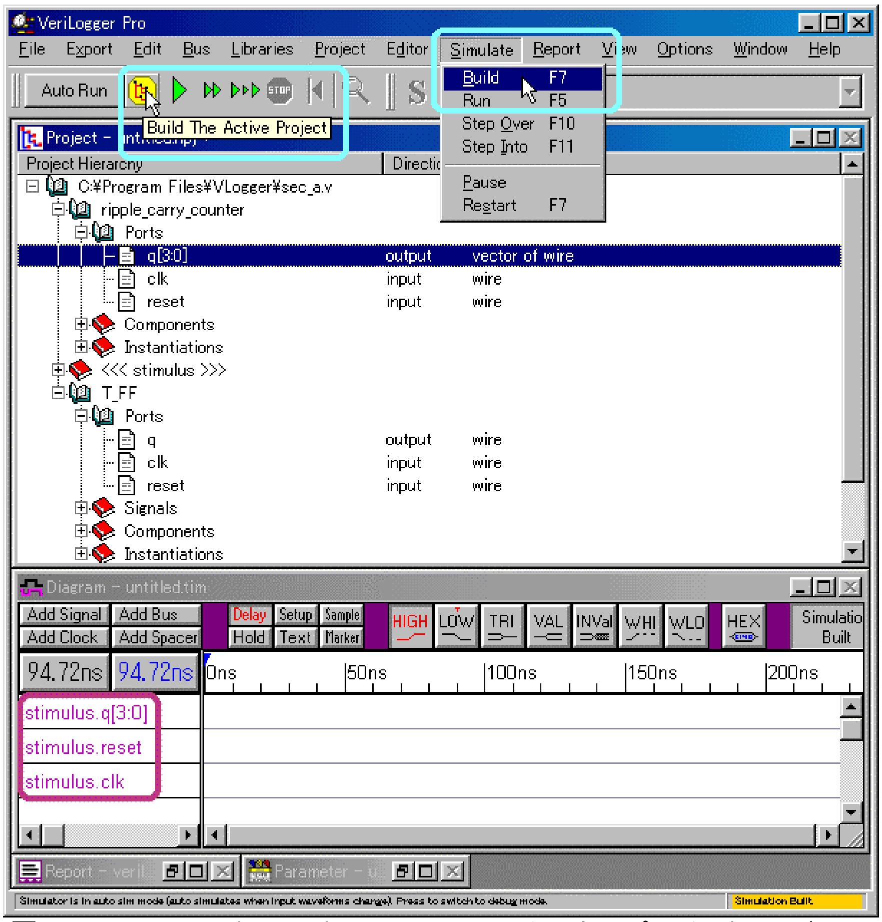

図4 sec_a.v と sec_b.v Verilog-HDL ファイルからなるプロジェクトのビルド

スティミュラス波形の作成/編集機能や，作成したスティミュラスで即座にシミュレーションができる機能は，他の Verilog-HDL シミュレータにはない VeriLogger Pro 特有のものです．トップ・レベル・モジュールがポートを持っている場合，プロジェクトはトップレベル・モジュールに対するテスト・ベンチを自動的に取り込みます．また，トップ・レベル・モジュールの動作を見たり，ドライブするための信号を，そのテスト・ベンチ内に作成します．これにより，設計を完成させる前に設計の一部を即座にテストすることが容易になります．

3) 信号，コンポーネントを見る

VeriLogger Pro では，シミュレーション結果を表示するのに，2つのレポート出力があります．一つは，Verilog.log.ログ・ファイルで，シミュレータのメッセージ，Verilog-HDL ソースに記述された$display ステートメントによる出力などが書き出されます．もう一つは，波形表示ウィンドウ上で，デフォルトの状態では，トップ・レベル・モジュールの信号またはポートのみが表示されます．トップ・レベル・モジュール内で実装されている**特定のコンポーネントの(特定の)信号を表示**するには以下のようにします：

- <<モジュール名>>表示のトップ・レベル・モジュールのプラス「+」印を左クリックし，ツリーを展開．
- 目的の信号，またはコンポーネントが見つかるまで，トップ・レベルのツリーを展開．
- 目的の信号，またはコンポーネント上で右クリックし，コンテキスト・メニュを開く．
- **Watch Connection** または **Watch Component** メニュ・オプションを選択．これで（モジュールのフル・パスを指定した）特定の信号を波形表示ウィンドウに追加できる(**図 5**)．コンポーネントを選択した場合は，そのコンポーネントに属するすべての信号が，波形表示ウィンドウに追加される(**図 6**)．

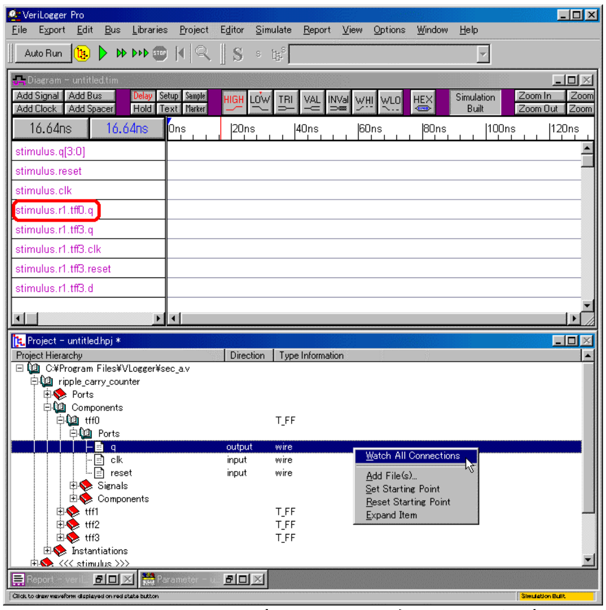

図 5　インスタンス r1 内の tff0 の信号 q を選択

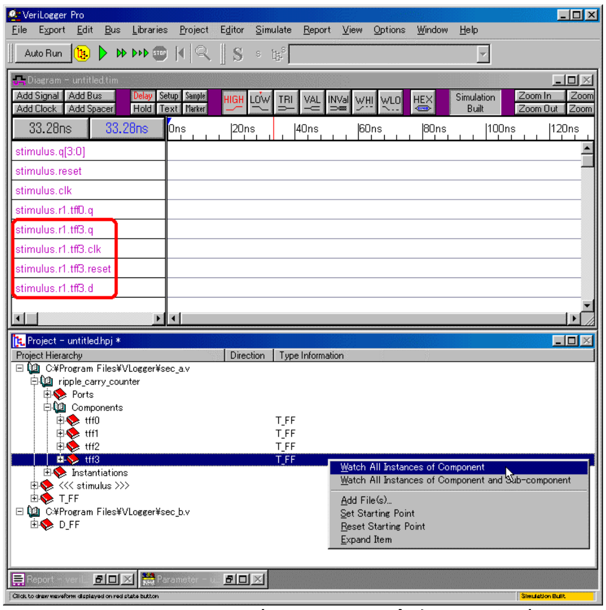

図 6　インスタンス r1 内の tff3 の全信号を選択

4) プロジェクトのシミュレーション

プロジェクトのシミュレーションを実行するには以下の 3 種類の方法があります：

- シミュレーション・ボタン・バーにある，大きな緑色の Run ボタンをクリック(**図 7**)．
- メニュの[Simulate]-[Run]を選択．
- <F5>キーを押す．

プロジェクトに対してシミュレーションが行われると，波形表示ウィンドウにシミュレーション結果波形が表示されます．**特定の信号だけを波形表示ウィンドウから見えないようにする**には，その信号名の上を左クリックし，<Delete>キーを押します．

VeriLogger Pro は，**AutoRun，DebugRun** の2つのシミュレーション・モードを持っています．シミュレーション・モードはシミュレーション・ボタン・バーの一番左側に表示されます．**DebugRun** モードでは，Run ボタン，または

シングル・ステップ・ボタンがクリックされたときだけシミュレーションが実行されます(通常の Verilog-HDL シミュレータと同様の動作)．**AutoRun** モードでは，波形表示ウィンドウ内で波形が描かれたときや，波形が変更されたときなど変更を加えたときは常にシミュレーションが自動的に実行されます．このモードを活用することで，小さなモジュールのテストを素早く行うことができ，ボトムアップ・テストを行うことができます．モード・ボタンをクリックすると，２つのシミュレーション・モードを交互に変更することができます(**図 7**)．

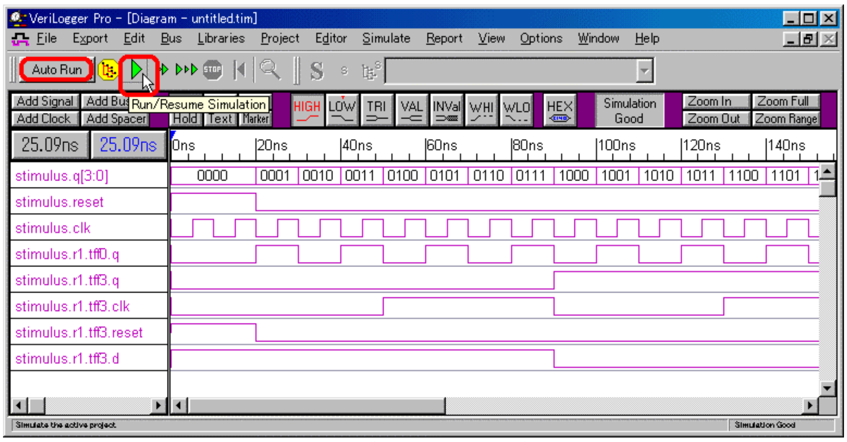

図 7　シミュレーション・モード・ボタンと Run ボタン

5) プロジェクトのデバッグ

ボタン・バー上と，画面の右下にあるステータス・バーには**インジケータ**があり(**図 8**)，シミュレーションの正常終了，異常終了を示します．シミュレーションのエラー，またはコンパイルのエラーがボタン・バー上に表示されたときは，Verilog-HDL のソース・コードに何らかの誤りがあります．

シミュレーションに失敗したとき，その原因を見つけるためには，レポート・ウィンドウ内に表示される，次の二つの情報を活用します．一つは **Verilog.log** で，実行したシミュレーションについてのすべての情報が出力されています．もう一つは **Errors タブ**に出力されている情報です．ここにはエラーと，その簡単な説明が出力されています．Verilog-HDL ファイルのエラー箇所にジャンプするには以下のようにします(**図 8**)：

- レポート・ウィンドウ内の Errors タブをクリックして，エラー・ウィンドウを開く．
- エラーの表示されている部分をダブル・クリック．すると，エラー箇所にカーソルが置かれた状態で，内蔵のエディタが開く．
- インタラクティブ・シミュレーションを使って，論理代数式を Signal Properties ダイアログに入力したときなどは，第3のファイル waveperl.log の参照もデバッグに役立つ．詳細はオンライン HELP を参照のこと．

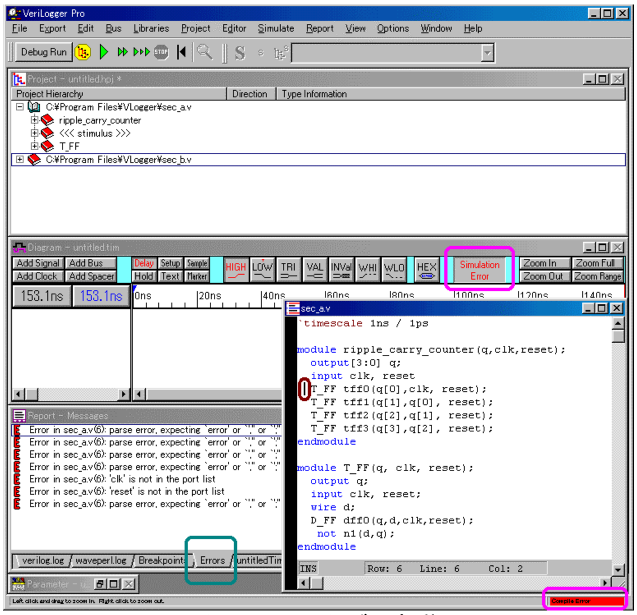

図 8　インジケータ，Errors タブと自動エラー・ロケーション機能

6) ブレーク・ポイント，シングル・ステップ，終了

VeriLogger Pro は，グラフィカルな**ブレーク・ポイント**および**シングル・ステップ実行**，そして$display などのテキスト表示のシステム・タスクをサポートしています．
ブレーク・ポイントを設定するには以下のようにします：

- プロジェクト・ウィンドウ上でファイル名をダブル・クリックするか，またはメニュの[Editor]-[Open HDL File]を選択し，Verilog-HDL ファイルを内蔵エディタ上に開く．
- エディタ・ウィンドウ内の左側に黒色の帯(この部分がブレーク・ポイント・ウィンドウ)がある．
- ソース・コード上のシミュレーションを停止させたい部分(行)で，ブレーク・ポイント・ウィンドウを左クリックする．すると，赤い丸印がブレーク・ポイント・ウィンドウに加えられ，レポート・ウィンドウ内の **Breakpoints タブ**をクリックして開くブレーク・ポイント・ウィンドウ内には，指定したポイントが表示される(**図 9**)．

Note:ブレーク・ポイントはエディタ・ウィンドウ内でそのブレーク・ポイントをもう一度クリックすることでキャンセルすることができます．すなわちトグルします．

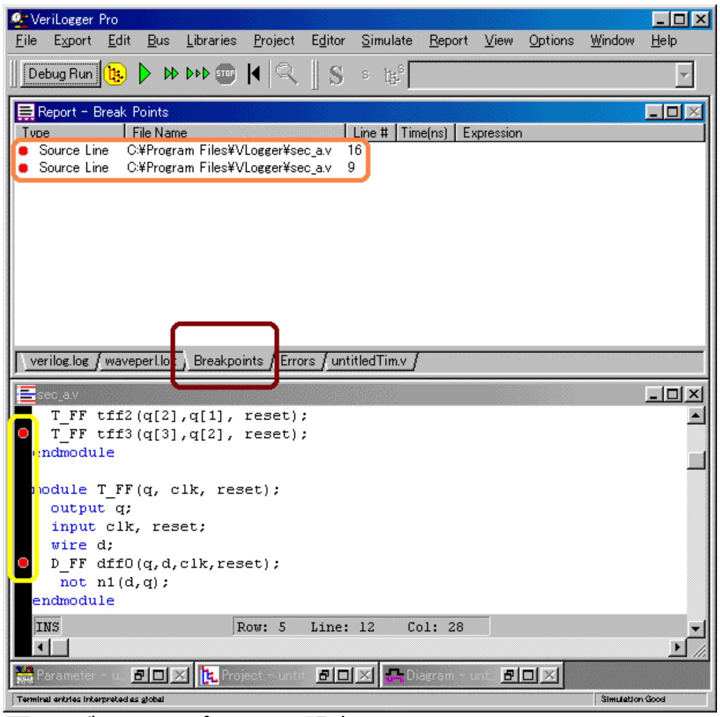

図 9　ブレーク・ポイントの設定

シングル・ステップ・ボタンには，**Step Over Calls** と **Step Into Calls** の２種類があります(**図 10**)．
Step Over Calls ボタン中には，中くらいの大きさの三角形が二つあり，現在の階層レベル内で次の行を実行することを示しています．
Step Into Calls ボタンには，小さな三角形が二つの中くらいの三角形に挟まれて描かれています．これは，例えばインスタンスされたモジュールなどが次の行に関わる場合は階層を潜り，そのモジュールの先頭１行を実行することを示しています．ブレーク・ポイント近辺では，シングル・ステップ・ボタンが便利ですが，ループに入った場合は，Run ボタンを使うことで即座に次のブレーク ・ポイントに移ることができます．

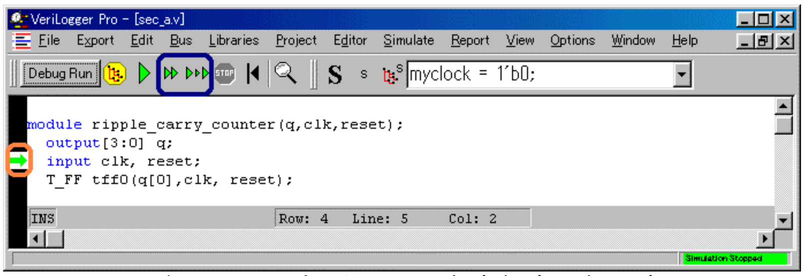

図 10　シングル・ステップ・ボタンと現在実行中の行の表示

このほかに，デバッグを支援する三つのボタンがあります(**図 11**)．

- **Stop ボタン**は，シミュレーションを一時中断する．
- (黒色のダイオードのように見える) **Restart ボタン**は現在のシミュレーションを中止し，波形表示ウィンドウをクリアする．そして，Run またはシングル・ステップ・ボタンがクリックされたときにプロジェクトのはじめから実行されるよう，シミュレーションをリセットする．
- (虫眼鏡のような) **Goto ボタン**は，エディタ・ウィンドウを開き，現在シミュレーションを行っている Verilog-HDL ソース・コードを表示する．

VeriLogger Pro は Verilog-HDL の$display などテキスト出力のシステム・タスクもサポートしています．これらの命令で出力された結果は，直接**ログ・ファイル**に書き込まれ，**レポート・ウィンドウ**で確認することができます(**図 11**)．

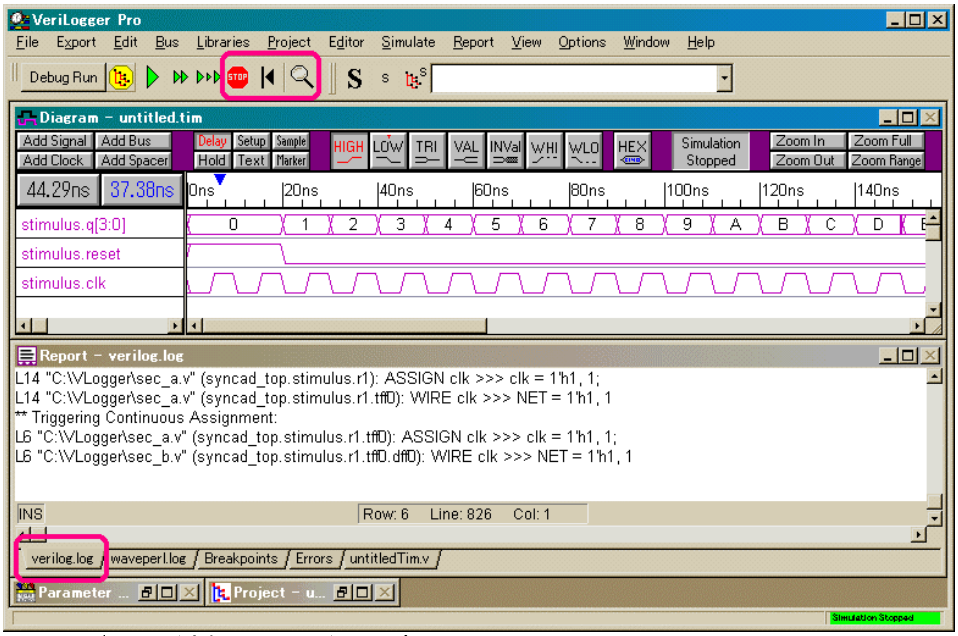

図11 デバッグ支援ボタン群とレポート・ウィンドウ

7) プロジェクト，ソース・コード，波形ファイルの保存

VeriLogger Pro には，Verilog-HDL プロジェクトと関係する三つのファイルがあります．

- **プロジェクト・ファイル**は，HPJ の拡張子を持ち，メニュの[Project]-[Save HDL Project]で保存できる．これにより，ファイル・リスト，シミュレーション・オプションが保存される．しかし，プロジェクト・ファイルを保存しても，波形表示信号の設定などは保存されない．
- **Verilog-HDL のソース・コード・ファイル**は，V の拡張子を持ち，エディタ・ウィンドウがアクティブの状態で，メニュの[Editor]-[Save HDL File]を選択して保存できる．
- **波形ダイヤグラム・ファイル**は，TIM の拡張子を持ち，メニュの[File]-[Save]を選択して保存できる．このファイルには，表示された信号の波形情報が記録されている．プロジェクト・ファイルとは別のファイルに信号の波形情報を保存することで，さまざまなテスト・ケースを作成することが可能で，これにより，ほかのシミュレーション結果と比較，検討することができる．

プロジェクト・ウィンドウ内での操作一覧

- **Verilog-HDL ファイルを開く** ： ファイル名をダブル・クリックするとエディタ・ウィンドウが開く．
- **信号，コンポーネントの宣言を見る** ： 階層構造ツリーで信号名，またはコンポーネント名をダブル・クリックすると，Verilog-HDL ソース内の対応するオブジェクトにジャンプする．
- **階層構造ツリーをすべて展開する** ： ツリー部分を右クリックするとコンテキスト・メニュが開くので，Expand Item メニュを選択(**図 12**)．
- **プロジェクトの保存** ： メニュの[Project]-[Save HDL Project]を選択．
- **プロジェクトを開く** ： メニュの[Project]-[Open HDL Project…]を選択．

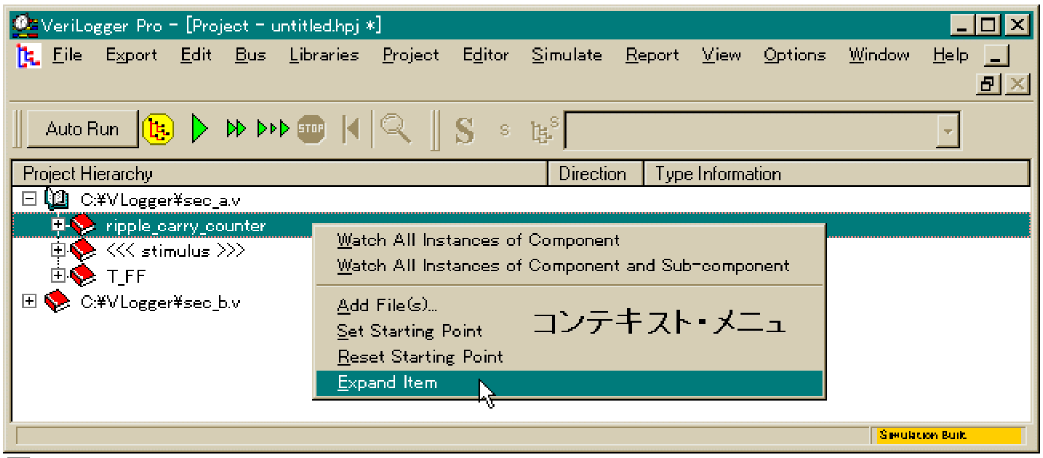

図 12 コンテキスト・メニュ

シミュレーション時の操作一覧(図 13)

- **ビルド** ： シミュレーション・バーにある，黄色のボタンをクリックすると，Verilog-HDL ファイルをコンパイルし，Verilog-HDL ツリーを作成する．ビルド実行時シミュレーションは行なわれない．
- **実行/再開** ： シミュレーション・バー上，緑色の大きな三角形のボタンをクリックすると，Veriog-HDL ファイルをコンパイルし，シミュレーションを実行する．設定されているブレーク・ポイントでシミュレーションが停止している時にこのボタンをクリックすると，シミュレーションを続けることができる．
- **シングル・ステップ Step Over Calls** ： ボタンに，緑色で三角形が 2 つ描かれている．
  シングル・ステップ Step Into Calls ： ボタンに，緑色で三角形が 3 つ描かれている．

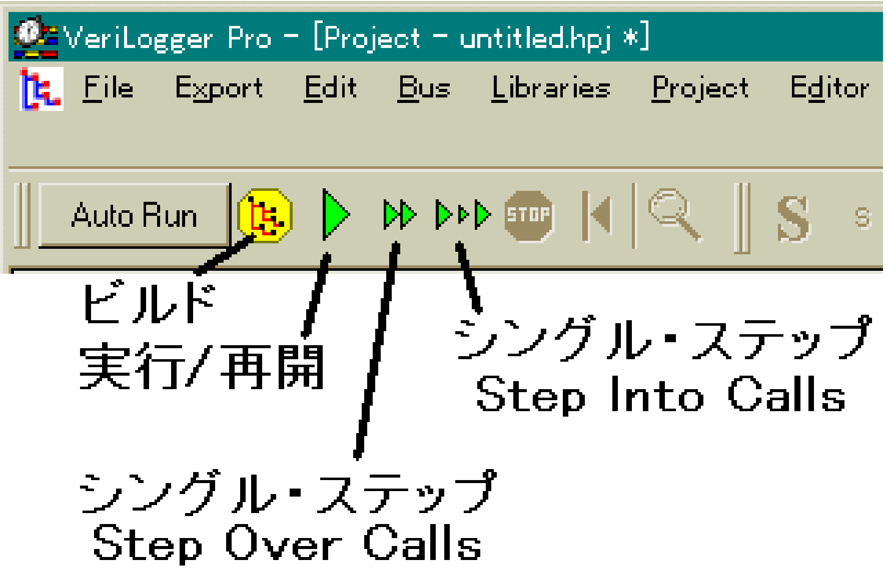

図13 シミュレーション時に使うボタン群

エディタの機能

- **ブレーク・ポイントをVerilog-HDL コードに設定する** ： エディタ・ウィンドウの左側にある黒い帯の上をクリックすると，ブレーク・ポイントを示す赤い丸印が加えられる．また，設定したブレーク・ポイントが，レポート・ウィンドウ内の Breakpoints タブをクリックして開くブレーク・ポイント・ウィンドウ内に追加される(**図 9**)．

コマンド入力の機能

VeriLogger Pro は，シミュレーションを監視，制御，デバッグするために，Verilog-HDL コマンドを直接入力できる，対話型コマンド・コンソールを装備しています．コマンド・コンソールはドロップ・ダウン・エディット・ボックスの形をし，シミュレーション・ボタン・バーにあります(**図 14**)．シングル・ステップ・シミュレーションを実行中に，$finish のようなシミュレーションの制御コマンドや，$display のような変数を表示させるコマンドを入力することができます．

なお，入力できるコマンドは Verilog-HDL 標準のコマンドに加え，シミュレーションを制御するためのさまざまな VeriLogger Pro 特有のコマンドがあります．

(例)

- **ピリオド(..)** ： シミュレーションを続ける．
- **セミコロン(;)** ： Verilog-HDL コード内の次のステートメントに進む．
- **コンマ(,)** ： 次のステートメントに進み，さらにトレース・メッセージを Verilog..log ファイルに書き出す．
- **コロン(:)** ： 現在実行されているソース・コードの行を表示する．

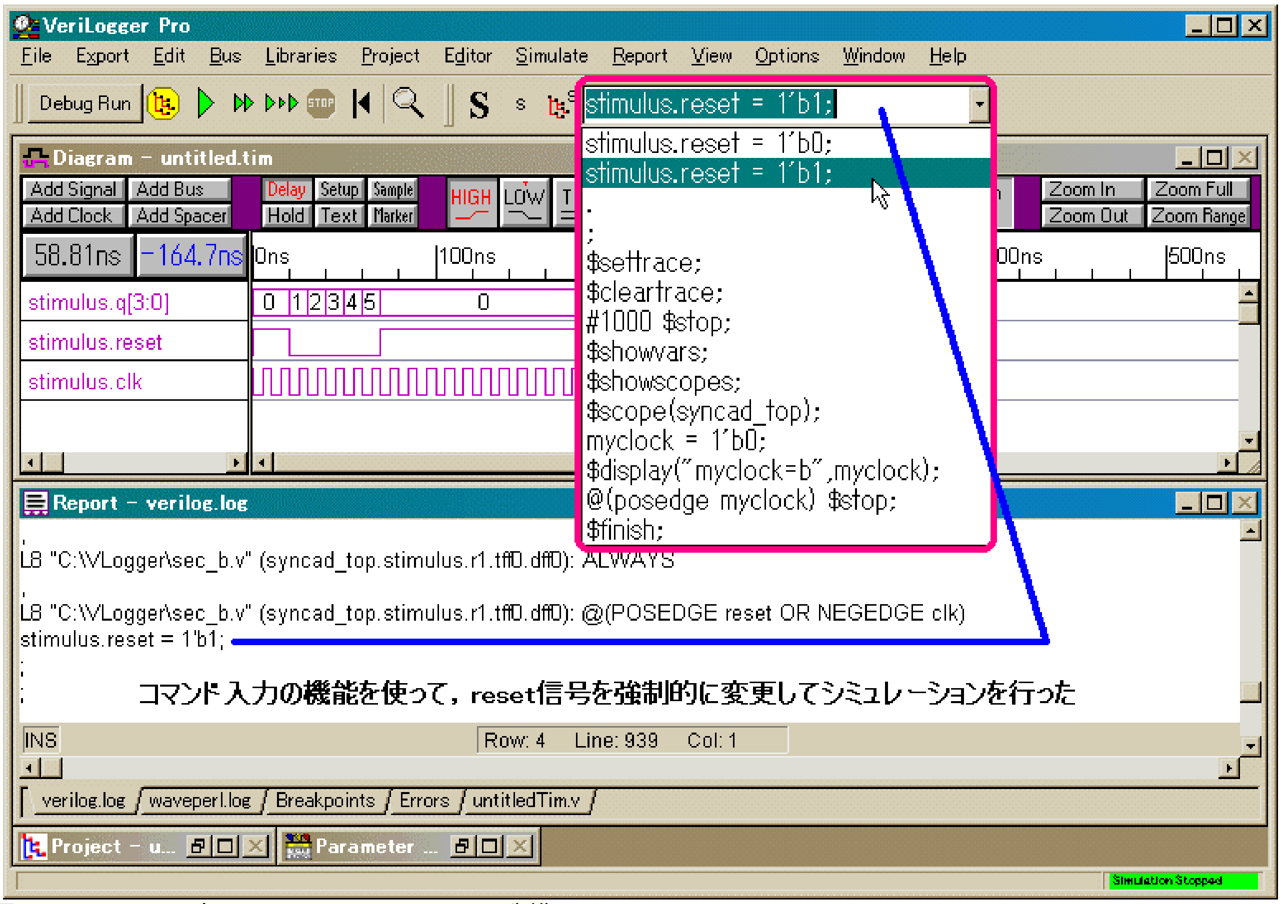

図 14　コマンド入力によるシミュレーションの制御

かんたんな操作例

簡単な既存の Verilog-HDL コード **sec_a.v**，**sec_b.v** で，シミュレーションを実行してみましょう.

0. VeriLogger Pro を c:\Vlogger ディレクトリにインストールします.
1．メニュの[Project]-[New HDL Project]をクリックします.
2．メニュの[Project]-[Save HDL Project As ...]をクリックして，プロジェクト保存のダイアログを開き，sec_ab と入力して，c:\vlogger にプロジェクト・テンプレート sec_ab.hpj を保存します.
3．メニュの[Project]-[Add File(s)...]をクリックして，シミュレーションを行う Verilog-HDL ファイルをプロジェクトに登録するダイアログを開き、c:\vlogger ディレクトリ内の sec_a.v，sec_b.v の両ファイルを登録します(順番は任意).
4．モードが Debug Run になっていることを確認して，Build ボタンをクリック（またはメニュの[Simulate]-[Build]をクリック）して，階層のビルドとコンパイルを行います.
5．緑色の大きい三角の Run ボタンをクリックすると，シミュレーションが実行されシミュレーション結果波形が表示されます.
6．Zoom In/Zoom Out/Zoom Full/Zoom Range ボタンなどで，波形表示を拡大/縮小して見やすくします. 時間軸上で，見たい観測時間の左端をクリックして，右端までドラッグして離すと，指定期間がウインドウいっぱいに広がるので，これでも見やすさを調整できます.
7．VeriLogger Pro を使っての詳しいデバッグ方法は，この資料の他の項やオンライン・ヘルプを参考にしてください.

VeriLogger Pro のお問い合わせ先

CQ 出版株式会社　デザインウェーブ企画室

TEL：03-5395-5673　FAX：03-5395-2127

E-mail：edasupport@cqpub.co.jp

URL：http://www.cqpub.co.jp/