

第8章

アナログ量とA-D変換

A-D変換器／A-D変換の周辺回路／アナログ量のセンサ／ H8内蔵のA-D変換器

<概要>

H8/3048F, 3052FにはA-D変換器やD-A変換器も内蔵されています。安定度の高い、高精度のデジタル量は望めませんが、1チップ内にあることから、簡易な通常の用途には便利です。なおアナログのセンサについては、種類も内容也多岐にわたり、本紙面内での詳述はできません。参考文献13), 16)などを参照してください。また、主なOPアンプ応用回路を巻末資料に示します。

8.1 A-D変換器

アナログの量をデジタルに変換する機構をA-D変換器(Analog to Digital Converter: ADC)と呼びます。最初にA-D変換に関する基礎知識を整理しておきます。

8.1.1 A-D変換の基本は比較

論理ICを使って論理回路を作ったときは、ある閾(しきい)値を設け、その値より高いレベルはHigh, 低いレベルはLowとして扱いました。つまり'1'か'0'かと判定してデジタル量として扱いました。これがデジタル化の基本です。ご承知のようにアナログ量は連続な量ですし、デジタル量は飛び飛びの離散的な値です。そしてデジタルの量はある値より大きい小さいかの2値の量です。

じつはA-D変換の基本もここにあります。図8.1に比較器を示します。入力アナログ量なので、アナログ・コンパレータ(analog comparator)と呼ばれるものです。文字どおり二つのアナログ入力A, Bを比較して、結果をAが大きい、あるいはBが大きいと判定するものです。このデジタル量に判定することがA-D変換であるといえます。ここでは結果が一つですから、1ビットのA-D変換器です。

以下いろいろな変換方式の概要を解説しますが、この比較器がどの方式にも含まれています。デジタル値の結果を複数ビット、多ビットにするための方策が種々凝らされているだけなのです。そこでA-D変換の基本要素は、アナログ・コンパレータといえます(図8.1)。

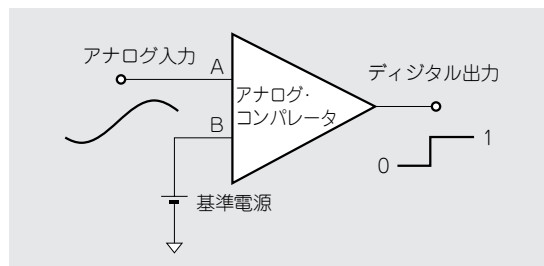


図8.1 1ビットのA-D変換器(基本要素はアナログ・コンパレータ)

■ 逐次比較型

前述の同時比較型，フラッシュ型はコンパレータを複数個使いました．次はコンパレータを1個にして，逐次それを何度か利用しようとする方法です．

図8.3にその構成と動作タイミングを示します．内部はコンパレータ1個，逐次比較レジスタと呼ばれる，変換の分解能と同じビット数のレジスタ，そしてD-A変換器から構成されます．A-D変換器にD-A変換器が含まれるという，ちょっと奇妙な構成です．逐次比較レジスタはSAR (Successive Approximation Register：連続的に近似値を順次作るレジスタの意味)と呼ばれます．以下同図を例にして説明します．

まず変換開始の指令があると，SARのMSB (Most Significant Bit)に'1'をセットします．その結果をD-A変換しアナログ量に戻し，コンパレータで比較します．MSBの量というのは，デジタル量が一般にそうであるように，フル・スケールの半分の量です．その量と比較しますから，アナログの入力信号とフル・スケールの1/2量との比較ということになります．同図に例示したように，もし1/2量よりも入力小さければ，MSBはリセットします．

続いてSARの2番目のビットを'1'にセットします．引き続きSARの内容がD-A変換され，コンパレータに送られます．今度はアナログ入力信号のほうが大きいので，このビットはレジスタにそのまま残されます．このようにMSBからLSB (Least Significant Bit)方向に順次，ビットをセットしては比較し，入力よりも大きくなればリセット，小さければ残すという操作を続けます．LSBまでこの操作を続けると，結果としてSARには，入力電圧に一番近いデジタル量が残ることになります．この最終結果を取り出せば，A-D変換の結果ということになります．順番に逐次比較していくことから，この名称があります．

この方式では，変換時間は変換の分解能，つまりビット数に左右されます．しかし回路技術の進歩で10ビット程度の分解能で変換してもマイクロ秒のオーダーで変換できるので，現在もっとも多用されている方式です．H8/3052に内蔵されているA-D変換器もこの方式です．

■ V-F変換型

V-F (Voltage to Frequency)はアナログ入力レベル(電圧)に比例した周波数に変換する手法です(図8.4)．近年VCO (Voltage Controlled Oscillator：電圧で周波数を制御する発振器)などのファンクション・チップも各種市販されているので，比較的作りやすくなりました．一種のFM (Frequency Modulation)変調です．

アナログ入力に応じて発生した周波数を，一定時間カウンタで計数すれば，それがデジタル量になるという簡便な方法です．欠点としては，比例はするといっても，周波数0というのはないわけで，あるオフセットをもたせなければなりません．

このことを逆に応用し，信号がないことは異常

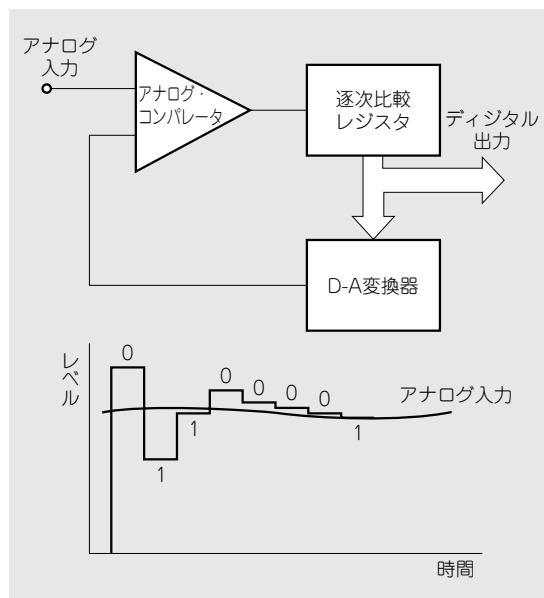


図8.3 逐次比較型A-D変換器

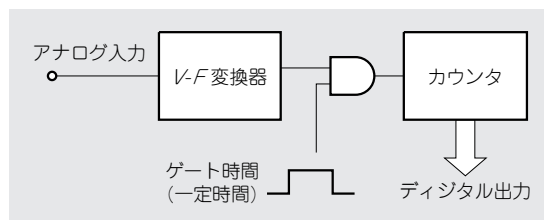


図8.4 V-F変換型のA-D変換

8.1.2 A-D変換の諸方式

アナログな量をデジタルな値に変換する方法も各種あり、一長一短があります。代表的なものをピックアップし、その特徴を解説します。

■ 同時複数ビット比較

前述の図8.1のA-D変換器は1ビットでした。これを複数ビットにするにはどうすればよいでしょうか。その例を図8.2に示します。前述のアナログ・コンパレータを7個設置しています。アナログの入力は全てのコンパレータに並列に入力されています。コンパレータのもう一方の比較入力には、基準電源から、同一抵抗値で8分割された電圧がそれぞれ入力されています。つまり一番下のコンパレータには、基準電圧の1/8の電圧、2番目には2/8の電圧と順次入力されています。一番上のコンパレータには7/8の電圧が入力されます。この構成で、アナログの入力を7個の縦に並んだ覗き穴から覗いて、どの穴より下の穴を満たしているかということを判定していることになります。

ここで使用しているコンパレータは、アナログ入力と比較電圧よりも大きいときにLowレベルを出力するコンパレータです。それぞれのコンパレータの出力は、プライオリティ・エンコーダ(priority encoder)に接続されています。このエンコーダの動作論理表も併記しました。8本の入力に優先度をつけて、純2進数に符号化するICです。

このエンコーダで符号化することによりアナログの入力信号を3ビットのデジタル値に変換することができました。この方式は縦に並んだ7個の窓から覗いているような形なので並列ウィンドウ型とか同時比較型と呼ばれます。あるいは瞬時に、一度に変換してしまうことからフラッシュ型変換器(flash converter)と呼ばれます。コンパレータを複数個使用するので高価になりますが、コンパレータの比較確定時間だけで変換ができるので、非常に高速です。さらにビット数を増やそうとすると、コンパレータの数も倍々の数になります。変換のビット数、つまり分解能よりも、変換スピードを優先する用途、あるいはサンプル数を多くしたい用途で使用されています。

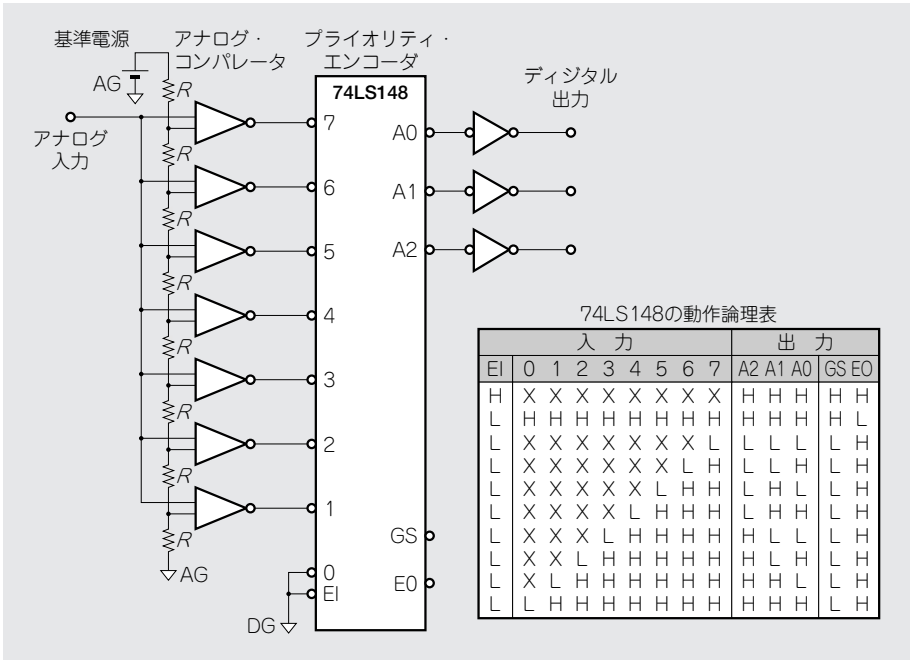


図8.2 フラッシュ型A-D変換器