

第9章

データ処理とD-A変換

D-A変換器／D-A変換器の付帯回路／内蔵D-A変換器の概要／
内蔵D-A変換器の使用例／内蔵D-A変換器の応用例

<概要>

前章ではアナログ信号の取り扱いと、A-D変換について解説しました。この章では、処理結果として得られたデジタルの量をアナログ信号に変換する方法について解説します。前章同様、内蔵のD-A変換器を使った出力例について述べます。

9.1 D-A変換器

コンピュータ内などにもつデジタル情報を、アナログの電圧や電流などで出力したい要求も多くあります。ここではD-A変換器(Digital to Analog Converter: DAC)を利用します。この節ではD-A変換の手法を、元のデジタル情報が純2進数である場合に限って解説します。アナログ量に変換するといっても、完全な連続量になるわけではありません。分解能分の階段波形になります。

9.1.1 D-A変換の方式

A-D変換の方式は多種あったのに比べ、D-A変換は後述するラダー抵抗による方法が簡便で、ほとんどがその手法を利用しています。ラダー(ladder)とは梯子(はしご)のことです。抵抗の接続が梯子の形になるので、この名称があります。

■ 電圧選択型

一番単純な形ですが、この方式は一部特殊な用途を除き、実用的になっている例はあまり見受けません。図9.1に3ビット・デジタル信号をアナログ電圧に変換する例を示します。基準電圧(reference voltage: V_{ref})を7個の抵抗で分割し、あらかじめ全体を0から1/8ずつの等しい電圧に分圧しておきます。その各接続点を、図に示すように2進数の内容でON/OFFするリレーの接点などで取り出す方法です。接点の2進組み合わせにより、当該電圧の位置を選択することになります。LSB側の接点の数が多くなります。

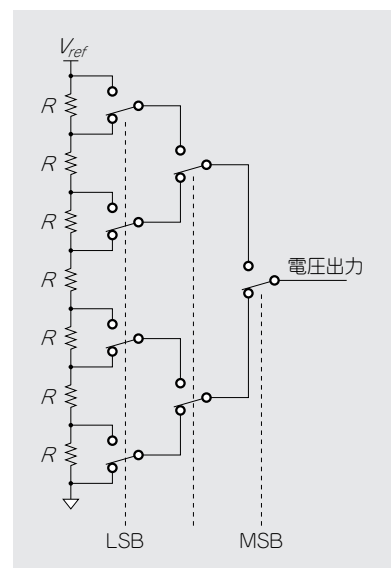


図9.1 電圧選択型D-A変換

で電圧に変換(電流-電圧変換, $I-V$ 変換)したものが市販されています。H8/3052に内蔵されているD-A変換器も電圧出力です。

9.1.2 D-A変換器の評価項目

D-A変換器利用に際して留意する点, 選定に対して評価する点をピックアップしておきます。

■ 分解能

D-A変換についても分解能はビット数で, 2^n 個のレベルに分解できることになります。電圧出力のD-A変換器においては通常外部から与えた規準電圧 V_{ref} とビット数 n に対して,

$$V_{ref} \times \frac{\text{出力デジタル値}}{2^n}$$

の電圧が出力されます。数値はあくまでも断続的ですから, 微視的には階段状の波形が出力されています。

■ セットリング・タイム

デジタルからアナログへの変換にも時間を要します。通常セットリング・タイム(settling time: 設定時間)という項目で表示されていて, μ 秒のオーダーです。ただしD-A変換システムにおいては階段状の波形出力を滑らかにするため, ロー・パス・フィルタを通して出力しますし, 後述グリッチ消去のためにホールド回路を付加することもありますので, それらを含めた遅延時間として考える必要があります。

■ 直線性

デジタルの値と出力されたアナログ量との関係は, V_{ref} など与えた基準値に依存します。しかしA-D変換器の場合と同様, その直線性(linearity)が問題になります。直線性は,

- ① 基準電圧, あるいは電流の変動率
- ② 抵抗ラダーの誤差
- ③ 増幅系の直線性

によるもので, 要因としては②を問題視するのが普通です。これも従前のようにデスクリートの部品を集めて構成することはなく, 半導体同様の製造技術の向上により, 1/1000未満の誤差の集合部品により, 高精度のものが実用化されています。

■ グリッチ

ハードウェアが一時的に, または突発的に故障することをグリッチ(glitch)といいます。D-A変換器でもグリッチが問題になります。これは故障ではなく, 複数ビット・デジタル信号を並列に扱うときに必然的に起こる問題で, 他の場合でも留意したいテーマです。

図9.5にD-A変換器のグリッチを示します。前掲図9.4において, 各ビットのスイッチが切り替わるタイミングで発生します。たとえば値の3を出力しているときには, SW_3 と SW_4 がONしています。次に与えられた値が4だとすると, これらのスイッチが開くと, SW_2 が閉じることになります。しかしまったく同時というわけにはいかず, SW_2 が閉じてから SW_3 と SW_4 が開いたとすると, 一瞬ス

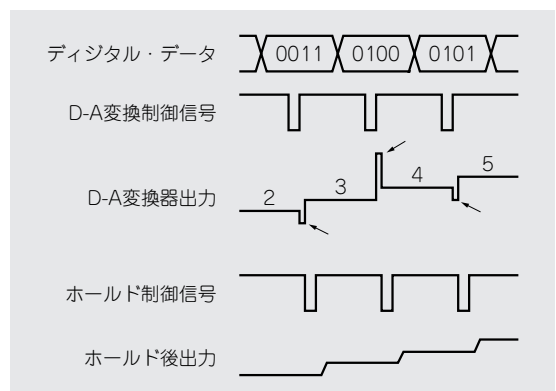


図9.5 グリッチ・ノイズ

■ バイナリ抵抗型

実用には難点がありますが、理解しやすいバイナリ抵抗型というのがあります。図9.2に4ビットの抵抗ラダーを示します。抵抗値は 1Ω 、 2Ω などと2進数の値の場合です。それぞれの抵抗は、デジタル値の各ビットで基準電圧(V_{ref})との間のスイッチをON/OFFします。この回路網のコンダクタンス(conductance: 抵抗の逆数、電流の流れ易さ)を計算してみると、スイッチのON/OFF組み合わせにより、 $1/R$ 、 $1/2R \dots 1/15R$ 、 $0(V)$ となることは明瞭です。つまり基準電源から流れる合成電流は2進数の組み合わせにより、0から15で、アナログ量に変換できたことになります。

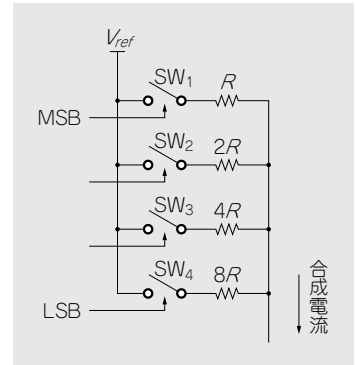


図9.2 バイナリ抵抗ラダー

しかしこの方法では、ビット数が多くなったときに、抵抗に、端数が出てしまい、製作するのは困難です。そこで考案されたのが次項のR-2R方式です。

■ R・2Rラダー型

図9.3にR-2Rラダーと呼ばれる回路網を示します。使用している抵抗は $R[\Omega]$ と $2R[\Omega]$ の2種類です。この回路で、たとえば一番右端①の点から右側を見た抵抗は $2R$ と $2R$ の並列接続ですから、合成抵抗は R です。②の点から右側を見ても、前述の合成抵抗の R と次の R で $2R$ と、縦の枝の $2R$ との合成で R です。すべての節(node)でこの関係があります。そして各節から流れ出す電流は $2R$ と $2R$ に分流しますから、等しくなるはずですが。この回路に左端から $16mA$ の定電流を流したと仮定すると、各縦の枝には、図示したように、 $8mA$ 、 $4mA$ 、 $2mA$ 、 $1mA$ の電流が流れます。この値はちょうど2進数の並びですから、各縦の枝の電流を、デジタル数の各ビットでスイッチしてやれば、デジタル値がアナログの電流値に変換できることがわかります。

そこで、図9.4が考えられます。これは4ビットのD-A変換器となります。各ビットとも1のときにスイッチは右側に、0のときは左側に接続します。前述のように基本的には電流値の制御なので、反転の演算増幅器(OPアンプ)で、反転入力点で電流加算をして、電圧出力を得ている形です。基準電圧と、加算増幅器の位置を入れ替えても同様の機能が実現できます。

この回路網では2種類の抵抗しか使っていません。あるいは、直列か並列の接続をすれば1種類の抵抗でも構成できます。非常に生産性が高いことから、周辺の修飾的な回路の差はあれ、ほとんどのD-A変換器はこの構成です。各ビットのスイッチは機械式の接点のものもありますが、一般にはFETなどの半導体スイッチが用いられます。FETの場合にはON抵抗がありますので、 R の値はそう小さくはできません。しかし、出力インピーダンスを小さくしたい要求もあります。そのまま抵抗出力か、図のように演算増幅器

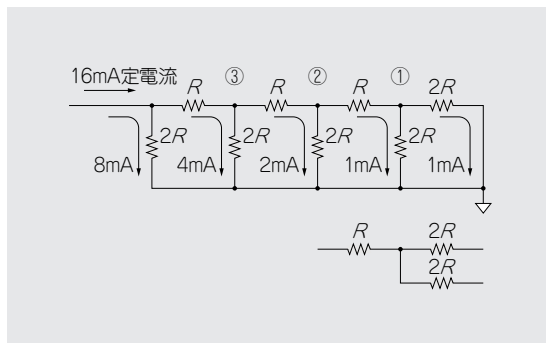


図9.3 R-2Rラダー

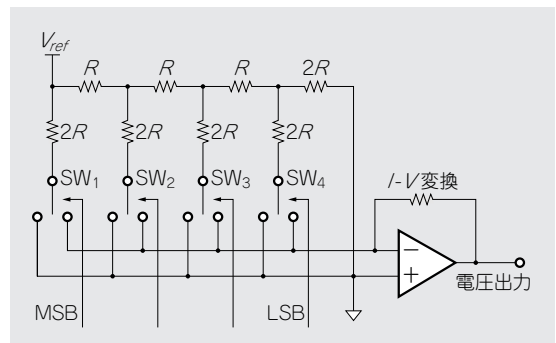


図9.4 4ビットD-A変換器