

差動インターフェース活用術

富田幹貴, 井倉将実

差動インターフェース技術について解説します。特にLVDSに注目します。LVDSは、低電圧で高速にデータを伝送できるという特徴を持つ標準I/O規格です。最新のFPGAファミリでは、I/Oとして標準で対応しています。本稿では、まず差動信号を用いる理由とLVDS規格の概要について解説します。その後、LVDSを採用した設計事例を紹介します。(編集部)

11-1 LVDSを使う理由

富田幹貴

USBやIEEE 1394は、パソコンを中心に広く用いられている身近なインターフェースです。従来のRS-232-Cやセントロニクス準拠のプリンタ・インターフェースと異なり、高速な最新のインターフェースは差動(differential)信号を用いています。

差動インターフェースは、最近登場した斬新な技術というわけではありません。専用のインターフェースICを利用すれば、これまででも実現可能でした。FA分野でよく使われているRS-422は、差動インターフェース規格の一つです。

特定分野で標準的に利用されてきた差動インターフェース規格ですが、最近になって、分野を問わず注目されるようになりました。この理由としては、取り扱う信号の高速化やシステム電源の低電圧化などが考えられます。標準機能として差動インターフェース規格に対応した汎用LSIも登場してきています。筆者は、今後ますます差動信号が利用されるだろうと予想しています。

そこでここでは、差動信号の基礎と差動インターフェース規格の一つであるLVDS(Low Voltage Differential Signal)の概要について解説します。

シングルエンド信号と差動信号の違い

TTLインターフェースやCMOSインターフェースのように、グラウンド(0V)を基準に信号の電圧レベルで“L”と“H”が決まる信号は、シングルエンド(single-ended)信号と呼ばれています(図1)。

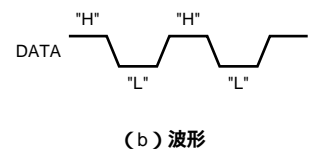
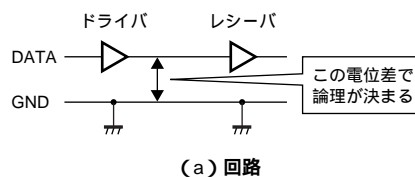
●シングルエンド信号の特徴

現在、広く使われているシングルエンド信号は、3.3V系のTTL規格であるLVTTTLだと思います。LVTTTLは、グラウンド・レベルを基準にして、+2.0V以上を“H”レベルに、+0.8V以下を“L”レベルにすると規定されています。

一般に、LVTTTLのようなシングルエンド信号では、高速なインターフェースを実現するのは困難と言われていました。100MHz程度までは実際に使われていますが、それ以上になると、ノイズの影響、信号線の引き回しなどの問題に直面します。特に広いデータ・バンド幅が必要なときにシングルエンド信号を束ねて使おうとすると、この問題は

図1
シングルエンド方式

グラウンド(0V)を基準に信号の電圧レベルで“L”と“H”が決まる。3.3V系のTTL規格であるLVTTTLでは、+2.0V以上を“H”レベル、+0.8V以下を“L”レベルとする。



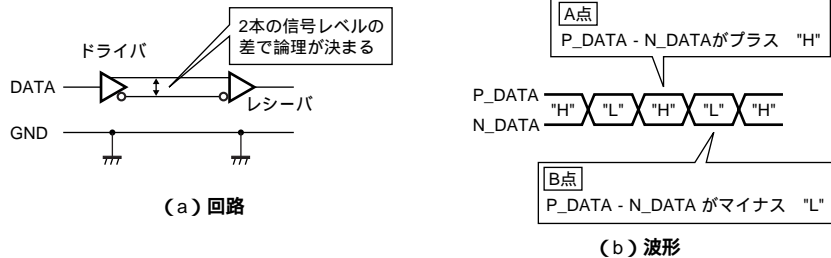


図2 差動方式

差動インターフェースは、一つの信号当たり2本の信号がかならず使われる。二つの信号の電位差が信号レベルになる。例えば差がプラスであれば“H”，マイナスであれば“L”のように認識する。

大きくなります。

シングルエンド信号で高速に伝送しようとする時、信号の立ち上がりや立ち下がりが急しゅんでなければなりません。これに伴い、出力スイッチング・ノイズであるオーバershootやアンダershootを引き起こします。また、同時に多ビットの信号が遷移するとき、グラウンド・レベルが影響を受けるグラウンド・バウンスを考慮しなくてはなりません。伝送線路インピーダンスの不整合から起こる反射の影響もシビアになってきます。

このような問題から、シングルエンド信号では250MHzが限界ではないかといわれています。

●差動信号の特徴

差動信号の基本的な回路構成と信号波形を図2に示します。信号の波形を見て、どこが“H”でどこが“L”なのかと疑問を持つ方もいらっしゃるかもしれませんが。筆者が初めて差動信号の波形を見たときの第一印象もそうでした。“H”と“L”が同時に出ているのになんで認識できるんだろうか、という初歩的な疑問です。

差動信号は、その名まえが示すとおり、信号レベルの“差”で動きます。シングルエンド信号は、0Vを基準にするという基本ルールのもと、一つの信号当たり1本の線が使われます。これに対し、差動インターフェースは、一つの信号当たり2本の信号をかならず使用します。2本の信号線は、+側(ポジティブ)、-側(ネガティブ)として結線します。この二つの信号の電位差が信号レベルになり、例えば差がプラスであれば“H”，マイナスであれば“L”のように認識します。図2(b)の波形であれば、A点では、P_DATA - N_DATAがプラスになるので“H”となり、B点ではP_DATA - N_DATAがマイナスになるので“L”となります。

●LVDS

LVDSは、低電圧差動信号規格の一つです。ANSI/TIA/EIA-644-Aで規格化されました。

LVDS規格では、AC/DC特性や基板実装方法、スキュー、消費電力などについても規定されています(図3)。

LVDSは3.5mAの電流駆動型インターフェースで、電圧(振幅)は受信側の両端に接続された終端抵抗によって決まります。受信側に100Ωの終端抵抗が付いていれば、LVDS信号は350mVの振幅になります。

差動方式を使う意味とは

差動信号は、シングルエンド信号に比べてノイズに対する耐性が高いという性質を持っています。

伝送線路を流れる信号は、その経路(ケーブル長や基板パターン長)が長くなればなるほど、ノイズの影響を受けやすくなります。

ノイズは、雷や静電気のような外来のサージ・ノイズだけではなく、信号線に電流が流れば、磁場(放射ノイズ)が発生します。さらにその放射ノイズは、ほかの信号線に外来ノイズとして飛び移ります(クロストーク)。このようなノイズの影響で、機器が誤動作することもあります。

外来ノイズの影響を受けにくいというのは、差動信号の最大の特徴とも言えます。工場内の劣悪な環境で、RS-422などの差動インターフェースが利用されている理由は、外来ノイズの影響を受けにくいためでした。

●コモン・モード・ノイズ・リダクション

差動信号はなぜ外来ノイズの影響を受けにくいのでしょうか。それは差動信号が持つコモン・モード・ノイズ・リダクションという特徴が大きく寄与しています。

図4は、差動信号伝送路に外来ノイズがのった状況を表