

FPGA/CPLDの基礎と最新動向

荒井航平, 井倉将実

プログラマブル・デバイス(PLD : programmable logic device)は、その名まえのとおり、機能をユーザ(回路設計者)がプログラムできるLSIです。ここでは、PLDというLSIの特徴と、最近のトレンドについて解説します。(編集部)

最近、FPGA(field programmable gate array)がとても身近なものになりました。

無償で提供される開発ソフトウェアがあり、数千円～数万円で開発を始められます。しかもFPGAの性能は上がり続けているにもかかわらず、単価は下がっています。

FPGAとCPLDの特徴

プログラマブル・デバイス(PLD : programmable logic device)には、大きく分けてCPLD(Complex PLD)とFPGAがあります(図1)。

FPGAは、ユーザの手元で回路構成の書き換えができるゲートアレイとして誕生したLSIです。比較的最近までは、ASIC(ゲートアレイやセル・ベースIC)の試作のため、あるいは数十台程度の少量生産システムでのみ用いられてき

ました。ところが最近のFPGAは、ゲートアレイ市場を侵食し始めています。携帯電話の基地局やバックボーンを支える各種ネットワーク機器、サーバ、地上波デジタル(地上デジタル)局の装置、計測器、業務用ゲーム機器など、あらゆる組み込み機器で利用されていると言っても過言ではないほど、あたりまえのように使われています。さらには量販店で販売されている電気製品にも採用され始めています。代表的な例としてプラズマ・テレビがあります。多くのファミリーがFPGAベンダ各社から発売されており、用途に応じて使い分けができます(表1)。

●CPLDとFPGAの構造の違い

CPLDは、複数のPLDブロックとそれらを接続するためのひとまとまりの配線領域で構成されます。このPLDブロックは、マクロ・セルと呼ばれるAND-ORゲート、D型のフ

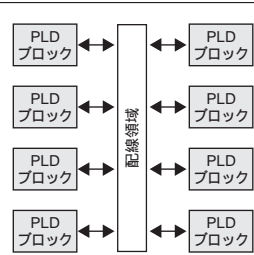
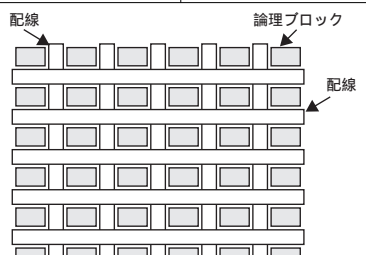
	CPLD	FPGA	
プログラム素子	EEPROMセル	SRAMセル	アンチヒューズ
プロセス(μm)	0.18 ~ 0.25	0.09 ~ 0.18	0.18 ~ 0.22
ゲート規模	小規模	大規模	中規模
再書き込み	可能	可能	不可
基本構造			

図1 CPLDとFPGAの比較

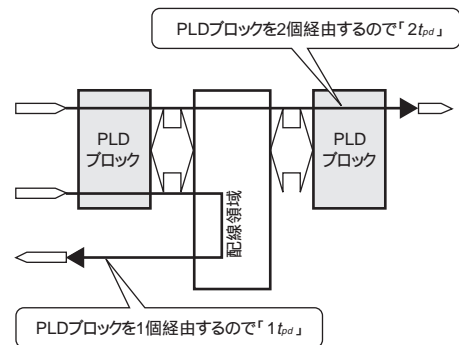


図2 CPLDの構造とマクロ・セルの遅延

表1 主要なCPLDファミリ

メーカー	ファミリ名
Altera社	MAX 7000S/AE/B MAX 3000A
Lattice Semiconductor社	ispMACH 4A ispMACH 4000 ispLSI 5000 ispXPLD
Xilinx社	XC9500XL CoolRunner XPLA3/CoolRunner-II

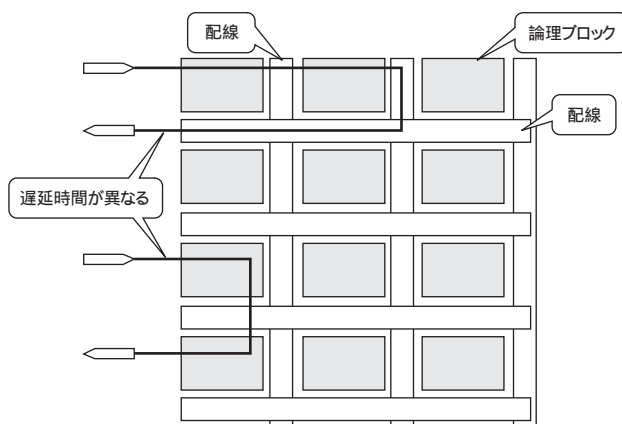


図3 FPGAの構造とマクロ・セルの遅延

リップフロップ、I/Oピンで構成されています。

一つのマクロ・セルは、例えば22入力10出力のAND-OR構造をとり、ある程度まとまった機能を実現可能です。また、一つのマクロ・セルで起こる遅延、マクロ・セル間を接続するための配線による遅延は、ほぼ決まっています(図2)。このため、回路の遅延時間を予測しやすいという構造的な特徴があります。

FPGAは、多数の論理ブロックと縦横方向に張り巡らされた配線領域で構成されます。論理ブロックは、CPLDのマクロ・セルと同じようなものと考えられますが、4入力1出力のように小さな規模のルックアップ・テーブル(LUT)である点が大きく異なります。ひとまとまりの機能を実現するために多くの論理ブロックを必要としますが、このとき、FPGA内部のどこに配置されている論理ブロックを使うかによって遅延時間が異なります(図3)。

FPGAの回路規模は、この論理ブロックの数で表現されます。例えば米国Altera社ではLE(Logic Element)、米国Xilinx社ではSliceが単位になります。ただし、一つのLEが1ゲートと換算されるわけではありません。Altera社のLEとXilinx社のSliceは異なる構成ですので、数字で比較することはできません。ところが不思議なことに、型名

表2
ほぼ同規模のFPGA

Altera社	Xilinx社
Stratix	Virtex-
EP1S10	XC2V1000
EP1S30	XC2V3000
EP1S60	XC2V6000

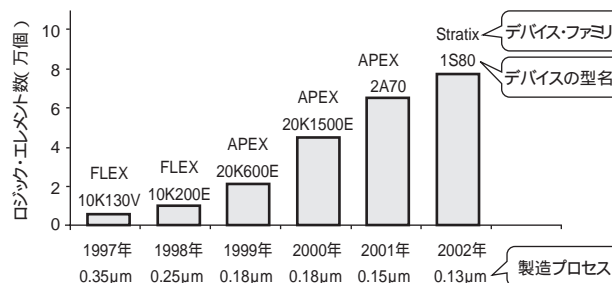


図4 ロジック・エレメント数

からほぼ同規模のデバイスがわかります(表2)。

●CPLDとFPGAのプログラム素子の違い

多くのCPLDのプログラム素子は、EEPROMセルです。そのため、回路データの書き換えが可能です。また書き込んだ回路データが消えることはありません。電源ONと同時に機能する専用LSIのように使うことができます。

一方、多くのFPGAのプログラム素子はSRAMセルです。しかも最近では、先端のプロセス技術が使われています。例えば2003年には、全層銅配線を用いた0.13μmプロセスで製造されたFPGAが量産出荷されています。90nmプロセスで製造される製品のロードマップも公開されています。

Altera社のFPGAを例に、製造プロセスとFPGAの規模(LEの数)をまとめたのが図4です。

●コンフィグレーションが必要なSRAMベースFPGA

プログラム素子としてSRAMセルを利用するFPGAでは、電源起動ごとにFPGAをプログラミングするコンフィグレーションという動作が必須になります。これは、SRAMセルを使っているため、電源がOFFになるとFPGA内の回路データが消えてしまうからです。

コンフィグレーションは、一般には各FPGAベンダから供給されている専用のROMを使って行います。あるいは、汎用のフラッシュ・メモリとCPLDを組み合わせて専用ROMの代わりにさせることもできます。ROMから回路データをFPGAに転送するには、数百μs～数msの時間が