なぜFPGAを使うのか，またどのようにしてFPGAのDSPを設計するのか

FPGAを用いたディジタル信号処理システムの設計

西村 憲二

1．なぜFPGAによるDSPを採用するのか

FPGA（Field Programmable Gate Array）は柔軟で適応性に優れており，さらに最近では処理速度も向上してきました．そのため，DSP設計者の間でもFPGAがディジタル信号処理に利用できることが認識されるようになってきました．

実際，FPGAに組み込まれている乗算器や加算器，さらにアキュムレータを組み合わせることにより，FPGAの巨大な並列処理性を活かして効率的なDSPフィルタ・アルゴリズムを実装することができます．

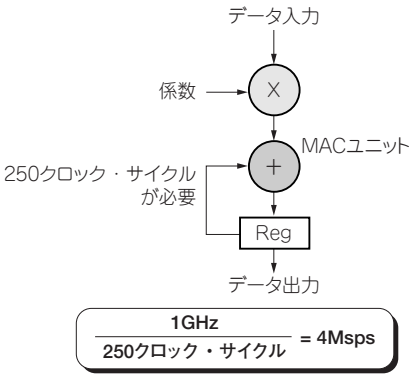
これまでのDSPアーキテクチャとFPGAを比較すると，**図1**（**a**）に示すように順次処理型のDSPでは，250タップのフィルタを構成する際は，積和された演算結果をレジスタに保存して，その結果に対して足し算を繰り返す構成になります．そのため最終的には，250クロック・サイクルが必要になり，1GHzのDSPを使っても250サイクルが必要で，パフォーマンスは4Mspsとなります．しかし，FPGAの並列のアルゴリズムを**図1**（**b**）のように構成すると，1クロック・サイクルで250の乗算を行うことが可能になります．このときのパフォーマンスは500MHzのFPGAでも1クロックで，500Mspsを実現できます．つまり，順次処理である汎用DSPと比較すると，125倍のパフォーマンスを実現できることがわかります．

近年，このような処理が必要になってきた理由は，ディジタル信号処理が複雑化し，マトリックス演算を含めたフィルタが多用されるようになってきたからです．たとえば，トリプル・プレイ[注1]と呼ばれる，データ通信と映像，音声の三つを組み合わせて一つのネットワークを共有するようなサービスにおいて高速な処理が要求されています．

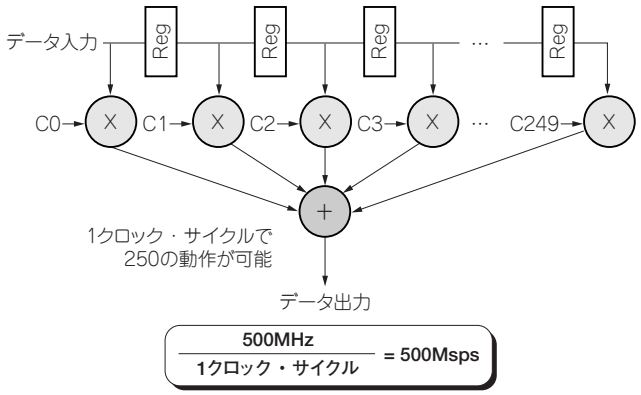
これまでのDSPプロセッサでは，5GMACS[注2]あたりが提供できるパフォーマンスの限界と考えられます（**図2**）．しかし市場からは，超音波システム，ビデオ監視システ

注1：従来は，電話回線，放送，データ通信はそれぞれ別回線で提供されていたが，それでは効率が悪いので，1本の回線ですべてのサービスを提供できるようにすることをトリプル・プレイと呼んでいる．

注2：GMACSは，Giga Multiply-Accumulate operations per Secondの略．1秒間に実行できる掛け算の回数で，DSPの処理能力を表す．5GMACSは，1秒間に50億回の掛け算ができることを示す．



（**a**）プログラマブルなDSP ⇒ 順次処理



（**b**）FPGA ⇒ 並列処理

図1
従来のDSPとFPGAの比較

KEYWORD —— FPGA，DSP，乗算器，加算器，並列処理，SIMD

ム，民生用ビデオなどにおいて，その値を大きく超える数百 GMACS が求められています．

これまでは，数百 GMACS の処理能力を要求される場合，単純に複数の DSP プロセッサをシステムに並列に設計することにより回避していました．ただし，複数の DSP を使えばシステム・コストが大幅に膨らみ，さらに消費電力も増大します．

2. FPGA による DSP の構成

次に，FPGA の DSP はどのような構成になっているのかについて説明します．**図 3** に，Xilinx 社の FPGA である Virtex-5 の DSP48E[注3] のブロック図を示します．この DSP は 550MHz で動作するエンベデッド・コアで，複数の DSP をカスケード接続する際にもロジックを追加する必要がありません．

また，通常フィルタ処理で使われる SIMD（単一命令/複数データ）演算，統合型パターン検出回路，ロジック・ユニットもサポートしています．そして，隣接したブロック RAM で高速演算した結果をブロック RAM に記憶させることも可能です．さらに，DSP48E はスタンドアロンの 25 × 18 ビット乗算器，25 × 18 ビット乗算器と加算器/減算器/アキュムレータ，もしくは 48 × 48 ビットの加算器または減算器としてコンフィグレーションできます．加えて，SIMD 演算と正負対象丸め，もしくは偶数丸めをサポートしています．

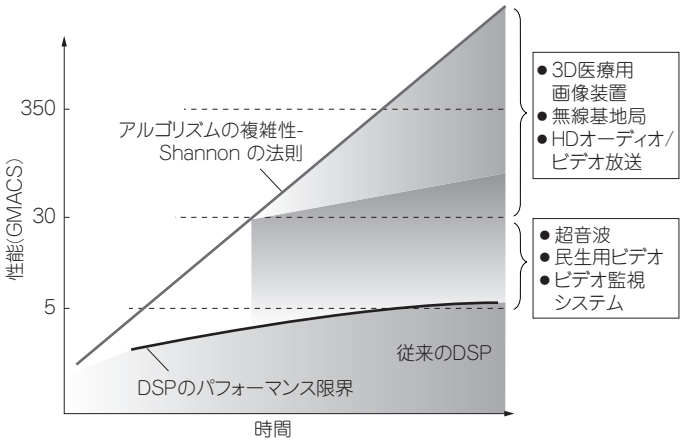


図 2　DSP のアルゴリズムと処理能力の予測（出典はバークレー・ワイヤレス・リサーチ・センターの Jan Rabaey による）

注 3：たとえば，Virtex-5 SXT は最大で 1,056 個の DSP48E スライスを搭載しており，528GMACS 以上，190GFLOPS 以上を実現可能である．

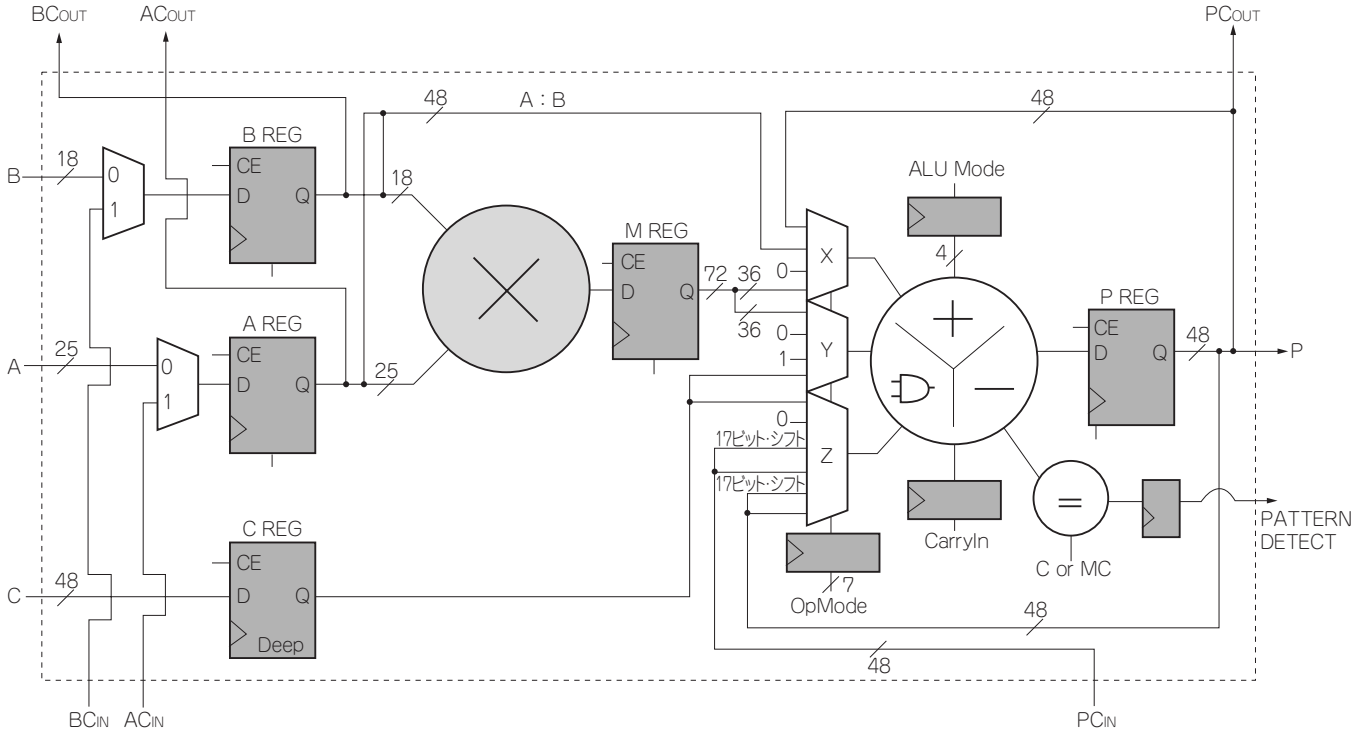


図 3　Virtex-5 の DSP48E スライスのブロック図