

徹底
解説

作ればわかる PCI Express

第2回 PIPEインターフェースとPHYチップ

内藤 竜治

連載第2回は、物理層と論理層を接続する重要なインターフェースであるPIPEインターフェースについて解説する。実際にアドイン・カードを設計する場合に必要な物理層の実チップとして、NXP Semiconductors社のPX1011AおよびTexas Instruments社のXIO1100について詳しく説明する。
(編集部)

1. PIPEとは

● 物理層と論理層を接続する重要なインターフェース

PCI Expressは、2.5Gbpsという伝送速度をもつ高速シリアル・インターフェースです。一般に、この速度の信号を直接扱うことができるFPGAはピン数も多く高価で、複数の大電流と高精度な電源が必要になるなど、手軽に扱えない場合も多いでしょう。

x1の速度でもよいから、とにかくPCI Expressに対応させたいという場合には、物理層(PHY)チップを使うと便利です。PHYチップは、シリアル-パラレル変換や弾性バッファなど、PCI Expressの物理層の高速で難しい処理を行ってくれる(図1)ので、FPGAはPCI Expressのリンク状態を管理するLTSSM(リンク・トレーニング・ステートマシン)やレーン間デスクューといった、論理層(MAC)より上の層の処理に専念することができます。

PHYチップとMAC層の間のインターフェースの方法は、Intel社がパイプ(PIPE: PHY Interface for the PCI Express Architecture)という規格を策定しています。

本稿では、PHYチップとPIPEの使い方について解説します。

● PHYチップを使うメリット

PCI Expressのアドイン・カードを実現するには、高速シリアル・インターフェースを内蔵したFPGAを用いる方法のほか、専用の外付けチップ(PHYチップ)を使う方法があります。PHYチップを使うと、低価格なFPGAを利用できること以外にもいくつかのメリットがあります。

例えば、PCI Expressのクロックはスペクトラム拡散が施されているので、FPGAでダイレクトに実現するなら

ば、スペクトラム拡散に対応したPHYを持ったFPGAでなければなりません。また、PCI Expressの高速差動信号は、電氣的アイドルの送信や検出、レシーバの検出など、データ転送以外にもいろいろなことをやらなければなりません。

FPGAに内蔵されているPHY機能は汎用的なものなので、こういう特殊なステートを実現できるかどうかはケース・バイ・ケースですが、PHYチップを使うと確実に実現できます。

また、FPGAに実装するIPコアの入出力をPIPEに合わせると、以下のようなメリットもあります。

- 複数のメーカーのPHYチップの中から最も用途に適合するものを選択できる
- 125MHz程度で動作する安価なFPGAでよい
- 電氣的アイドルやスペクトル拡散、レシーバの検出などの特殊な状態に対応できる
- 弾性バッファのように、複数のクロック・ドメインを

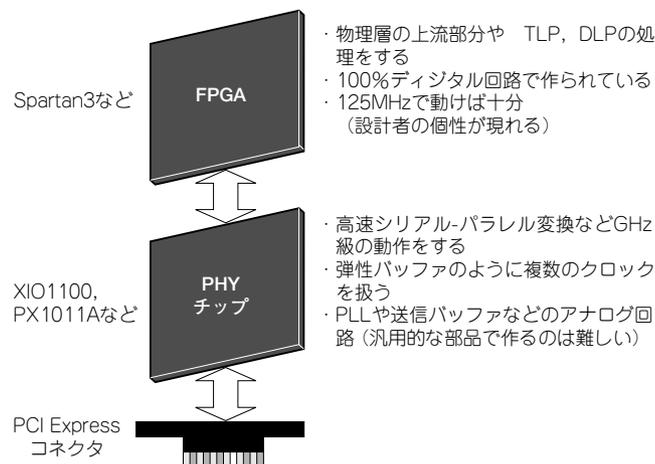


図1 PHYチップを使うとPCI Expressが簡単に作れる

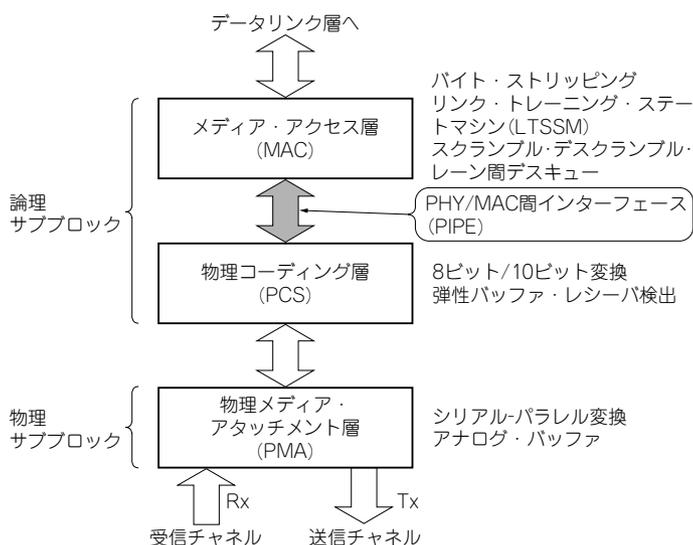


図2 物理層のサブレイヤ

持つ回路をFPGA内に構築しなくてよい

- コンプライアンス・テスト (互換性テスト) をパスできる見通しが立つ

ただし、デメリットもあります。まず、PHYチップとFPGAが分かれてしまうので、基板上には2個のチップを載せる面積が必要になります。そして、PIPEは16ビットまたは8ビット幅の平行列で125MHz/250MHzといった比較的高速な信号であるため、パターン設計も難しくなります。

● PCI Expressの物理層

PCI Expressの物理層は、図2に示すようにMAC (メディア・アクセス) 層、PCS (物理コーディング) 層、PMA (物理メディア・アタッチメント) 層の3層に分けて考えると理解がしやすくなります。

MAC層は、LTSSMやレーン間デスクューを行います。

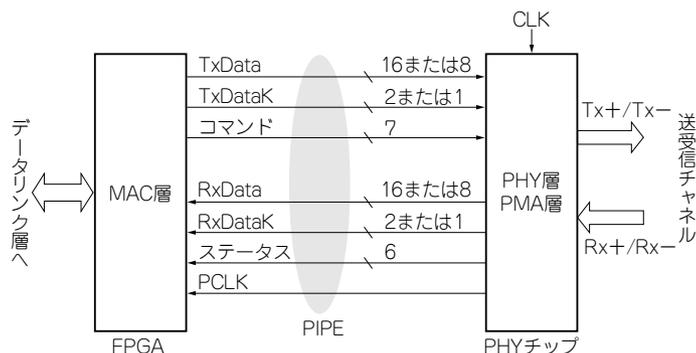


図3 PHYとMACのインターフェース

PCS層は、8B/10Bエンコードやデコード、弾性バッファを行います。PMA層は、シリアルライズ・デシリアルライズ (シリアル \leftrightarrow パラレル変換) やアナログ信号のバッファなどを行います。

MAC層は、レーンの構成やエラー処理など、設計ポリシーが比較的強く反映されますが、PCS層とPMA層はどのような設計でもだいたい同じような構造になります。

2. PIPEの電気的信号

● PIPE信号の分類

PHYチップの最大の目的は、125MHz/250MHzの平行列信号を2.5Gbpsの高速シリアル信号に変換することです。PHYチップはPCS層とPMA層の処理を行います。自ら能動的に動くわけではなく、MAC層からの指示を受けて動きます。したがって、FPGAはPHYチップに本来のデータ送受信以外に、7本のコマンドと6本のステータス信号を使って電気的アイドルやレシーバ検出など、さまざまなコマンドを与えなければなりません (図3)。

PIPEの信号は、表1に示すように、データ、クロック、コマンド、ステータスの四つに分類されます。制御信号が少し多いように感じるかもしれませんが、PCI Expressのさまざまな特殊なステートを作り出すために必要です。本節では、これらのPIPEの信号の役割と使い方について説明します。

● データ

データは、PIPEの規格上は16ビットでも8ビットでもどちらでも良いことになっています。16ビットの場合は125MHzで、8ビットの場合は250MHzでFPGAとインターフェースします。16ビット幅で扱う場合はボード上の配線数は増えますが、信号の速度が125MHzになるので安心感が増します。16ビットの場合は、[7:0]がfirst symbolで[15:8]がsecond symbolとなります。

表1 PIPEの信号の分類

分類	含まれる信号
データ	TxData[15:0], TxDataK[1:0], RxData[15:0], RxDataK[1:0]
コマンド	TxCompliance, TxElecIdle, TxDetectRx/Loopback, PowerDown[1:0], RESET, RxPolarity
ステータス	RxElecIdle, RxValid, PhyStatus, RxStatus[2:0]
クロック	CLK, PCLK