

個別部品で組み立てて動作原理から設計法までを理解する

PLL 周波数シンセサイザの設計法徹底解説

第18回 安定動作と性能を両立するループ・フィルタとは

基本はラグ・リード型

小宮 浩
Hiroshi Comiya

PLLにおいて、ループ・フィルタの設計は極めて重要です。ループ・フィルタの役割を要約すると、次のようにまとめられます。

位相比較器から出力される位相差に比例した誤差信号パルスをリップルの少ない直流電圧に変えてVCOに加える

ロー・パス・フィルタ(LPF)を使えば、信号パルスからリップル成分を除いて直流を得ることができます。では、ループ・フィルタとして単純にLPFを設ければよいかというと、そうではありません。ループ・フィルタには、PLL(フェーズ・ロックド・ループ)という負帰還ループを安定なものにする役目もあるからです。

今回は、PLL回路が安定動作するためループ・フィルタに必要とされる特性を周波数軸から明らかにします。

負帰還アンプ回路とPLL回路の共通点と相違点

PLL回路は負帰還を使っているのです。制御モデルとしては、負帰還アンプによく似た構成になります。

少し強引なモデリングですが、負帰還アンプとPLL回路を比較するための制御モデルを図18-1と図18-2に示します。

● 二つのRC時定数をもった負帰還アンプ

図18-1のOPアンプを代表とする負帰還アンプ回路では、その周波数特性はRCの時定数回路で表せます。

例えば、裸でのゲインが $A = 100$ dBあるアンプで二つのRC時定数があり、ポールの位置($= 1/2 \pi RC$)が $f_1 = 100$ Hzと $f_2 = 100$ kHzにあるとします。

帰環回路の分圧抵抗によって $N = 100$ とすると、ゲイン $A_F = 40$ dB(100倍)のアンプとして動きます。入力電圧 $V_{in} = 1$ mVであれば、出力電圧 $V_{out} = 100$ mVとなります。

図18-3には、これの周波数特性と位相特性をボデ線図で表しています。RC時定数で二つ分(180°)以上遅れて、ゲインが1以上であれば、発振します。しかし $N = 100$ としてゲイン40 dBの設定なので、ループのカットオフ周波数 f_c は100 kHzほどになり、位相余裕 Φ_C は 45° ほどあります。ゲイン $A_F = 40$ dBで、帯域幅約100 kHzのアンプとして安定に動作します。

● 二つのRC時定数をもったPLL回路

同様に二つのRC時定数をもったPLL回路ではどうでしょうか。図18-2に示すように、帰環回路の分周器を $N = 100$ として、基準信号周波数 $f_R = 1$ MHzの100倍の周波数、 $f_{out} = 100$ MHzを出力するPLL回路

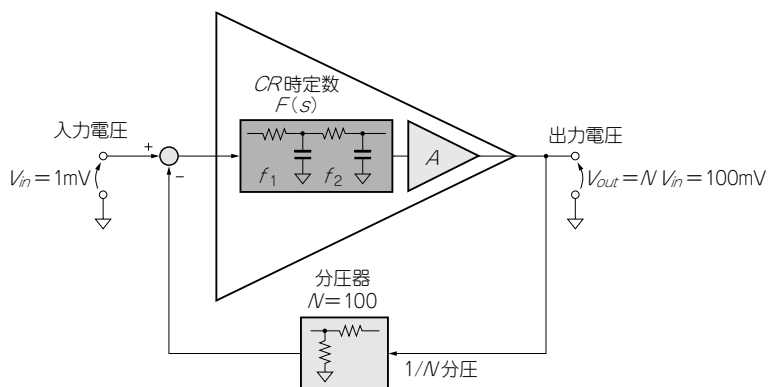


図18-1 負帰還アンプ制御モデル
時定数と分圧器によって安定度が決まる

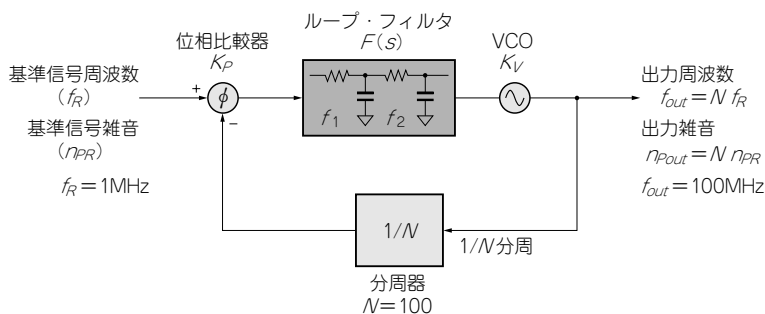


図18-2 PLL制御モデル

図18-1の負帰還アンプと似た構成で書ける

にしたいと思います。

裸でのゲインはアンプ回路と同じ ($A = 100\text{ dB}$) であると仮定します。ループ・フィルタとして、ポールの位置がアンプ回路と同じの二つの RC 時定数を加えました。周波数特性と位相特性は、負帰還アンプ回路のボード線図と同じとなるでしょうか？

もし負帰還アンプと同じボード線図になるなら、帯域幅約 100 kHz の場合、このループ・フィルタ定数で、リファレンス周波数の 1 MHz を -40 dBc ほど落とせます。それが可能なら、理想的なループ・フィルタの定数だといえます。

しかし、残念ながら負帰還PLL回路ではこのように単純に RC 時定数回路を2段重ねてループ・フィルタとして用いることはできません。

● PLLではループ・フィルタ以外でも位相が遅れるアンプだけでなく、その他の電子回路においても

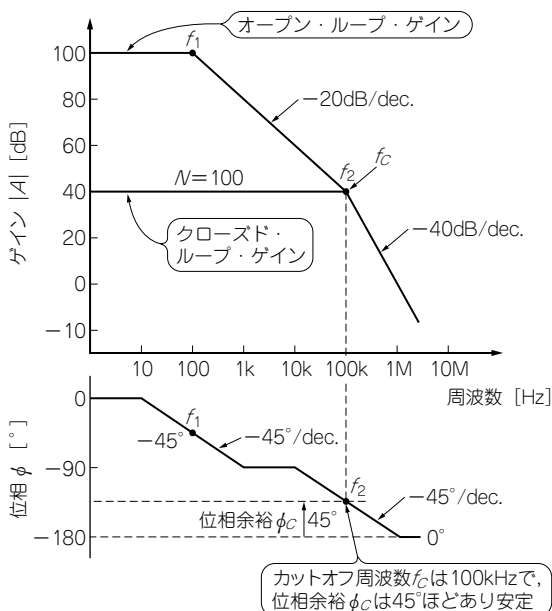


図18-3 図18-1の負帰還アンプのボード線図

f_1 , f_2 , N をうまく選べば安定動作する

RC 時定数はいくつか存在し、そこで周波数特性や位相特性が悪化します。しかし通常、時定数は小さく周波数の高いところで影響を及ぼします。

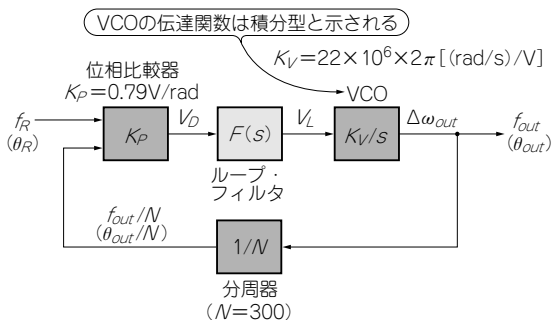
ところが、PLL の場合には、はじめから位相が 90° 遅れてしまうのです。

VCOの動作が位相遅れを伴っている

PLL は、周波数引込み過程により周波数誤差 Δf を減少させていき、その後、位相誤差 $\Delta \theta$ が減少していく同期状態へと系を追いついていきます。

図18-4は、PLLを制御システムと考えた場合のモデル図です。PLLが正常動作し、位相まで同期した状態を考えています。このとき、小信号等価回路と同様に、微小区間を考えれば線形です。ここではラプラス変換して伝達関数 (s の関数) を求めています。

どのようなループ・フィルタを作る必要があるのかを検討しているので、PLL回路のうち、ループ・フ



ラプラス表記法を用いると以下のように表される
 $V_D(s) = K_P [\theta_R(s) - \theta_{out}(s)/N]$
 $V_L(s) = F(s) V_D(s)$
 $\theta_{out}(s) = \frac{K_V V_L(s)}{s}$
 これを変形して伝達関数を求めると

$$\frac{\theta_{out}(s)}{\theta_R(s)} = \frac{K_V K_P F(s)}{s + \frac{K_V K_P F(s)}{N}}$$

図18-4 伝達関数で記述したPLLの制御モデル

PLLは位相を制御するので θ で書いている