

3G-SDI向けリファレンス・デザインと評価ボードの概要

山崎哲治

世界最大の放送機器展といわれるNAB (National Association of Broadcasters) は、今年 (2007年) も4月中旬に米国 Las Vegas で開催され、過去最大規模の出展社数と来場者数を記録しました。

● NABで目立っていた3G-SDIに関する展示

今回のNABで目立った技術動向は、SMPTE 424Mと呼ばれる新しい標準規格です。今までの75Ω同軸ケーブルによるHD-SDI伝送のデータ・レートを2.97Gbpsに倍増させることで、同軸ケーブル2本による画像伝送を1本にまとめられます。

第3世代のSDI (3G-SDI) とも呼ばれるこの新しい標準規格は、1080p 50/60およびデジタル・シネマに要求される、より高い解像度の画質を実現します。この新しい規格に対応したイコライザ、リクロッカ、ケーブル・ドライバを組み合わせ、ルーティング・スイッチなどの製品が参考出展され、関心を集めていました。

● 3G-SDIでポイントとなるのがSerDesデバイスの選択

3G-SDIはこれからの市場です。展示は、技術力のアピールを目的としたパフォーマンス色が強いものです。しかし各機器メーカーは、測定機器や環境の整備をきっかけに、製品の展開を考えていることでしょう。そこでポイントとなるのが、SerDes (Serializer/Deserializer) デバイスの選択です。

現時点で3G-SDI向けのSerDesを実現するデバイスの一つはFPGAです。米国Xilinx社のVirtex-5 LXTは最新の65nmプロセスであり、搭載するRocketIO GTPトランシーバは、100Mbps～3.75Gbpsの動作範囲を持ちます。これにより、SD-SDI (270Mbps)、HD-SDI (1.485Gbps)、および3G-SDI (2.97Gbps) のインターフェースを実現できます。

● SDIの評価ボードを製作した

PALTEKではVirtex-5 LXT (XC5VLX50T) を実装し、すべてのSDIを評価できる、8入力8出力の評価ボード「武蔵」を製作しました (図1, 写真1)。

評価ボードの受信側のすべてのSDI入力のリファレンス・クロックとして、基板上の発振器 (148.5MHz) を使用します。こ

のクロックは、入力信号に同期する必要はありません。

評価ボードの出力側は、入力信号から抽出したリカバリ・クロック、またはデシリアライザ (GS1559) のパラレル・クロックを、外部VCXO (Voltage Controlled Xtal Oscillator) を介してGTPトランシーバへ接続します。VCXOはシリアル・データ・レート数^{注1}分必要です。

● Xilinx社のリファレンス・デザイン

Xilinx社の3G-SDIに関するリファレンス・デザイン (図2) は、SMPTE 425Mに記載されているLevel B^{注2}をサポートしています。今後、Level Aもサポートする予定です。

Level A ; ダイレクト・イメージ・フォーマット・マッピング

Level B ; 2x SMPTE 292M HD-SDI マッピング (SMPTE 372M Dual Link マッピングを含む)

現在は3G-SDIの測定器が提供されていないので、SMPTE 372M Dual Linkを使用したデモ環境 (Level B デモ) を用意しています。図3では、SMPTE 372M Dual Linkを入力し、3G-SDIに変換し、再度Dual Linkで出力させます。この方法であれば、正しい映像データを使って測定ができます。測定器では、SMPTE 372M Dual Linkの測定結果を表示しますが、3G-SDIに変換した際にデータを壊すことがあれば、正しく伝送されません。ちなみに波形モニターで測定したSDI評価ボード「武蔵」のHD-SDI出力ジッタは、下記の通りです。

注1：データ・レート数とは、出力データ・レートの周波数分という意味。HD-SDIには1.485Gbpsと1.48351648Gbps (1.485Gbpsの1000/1001ずれ) の2種類のデータ・レートがある。SD-SDIは270Mbpsであり、それぞれのデータ・レートに合ったリファレンス・クロックが必要。入力側は完全なCDRにより入力信号からリカバリされたクロックが抽出される。このクロックを使用し、データを処理する。しかし、リカバリ・クロックには入力信号のジッタ成分が伝播するためクロックのジッタを除去し、出力のトランシーバではきれいなクロックでシリアル・データを送信する必要がある。武蔵ボードにはVCXOが3種類 [148.5MHz, 148.351648MHz, 135MHz (27MHz×5)] が搭載されている。

注2：Level AおよびLevel Bの詳細は第4章を参照。

Keyword

NAB, リファレンス・デザイン, SerDes, シリアライザ, デシリアライザ, Virtex-5 LX, 武蔵, SMPTE 424M

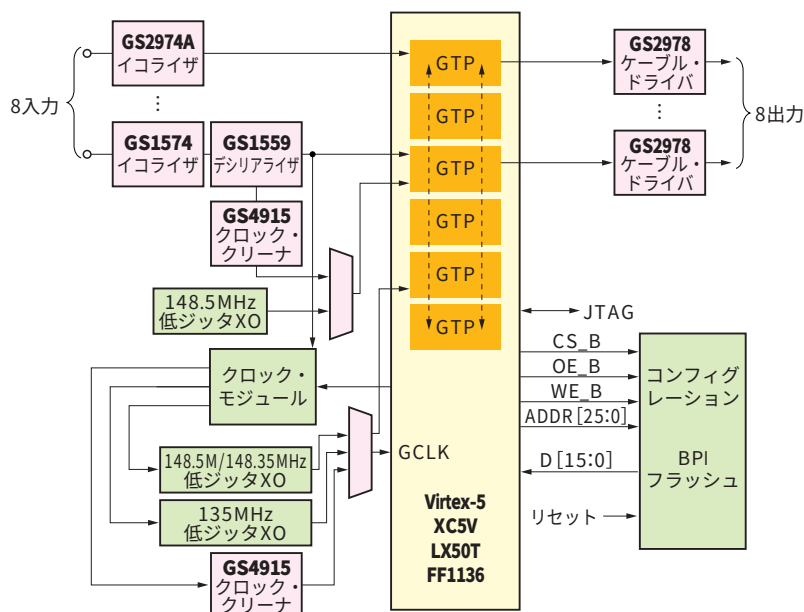


図1 SDI向け評価ボード「武蔵」のブロック図

すべてのSDIを評価できる、8入力8出力の評価ボード。

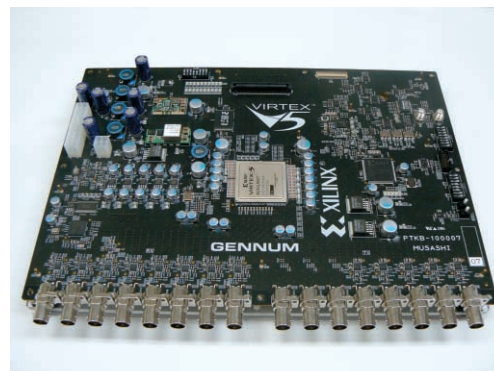


写真1 SDI向け評価ボード「武蔵」の外観

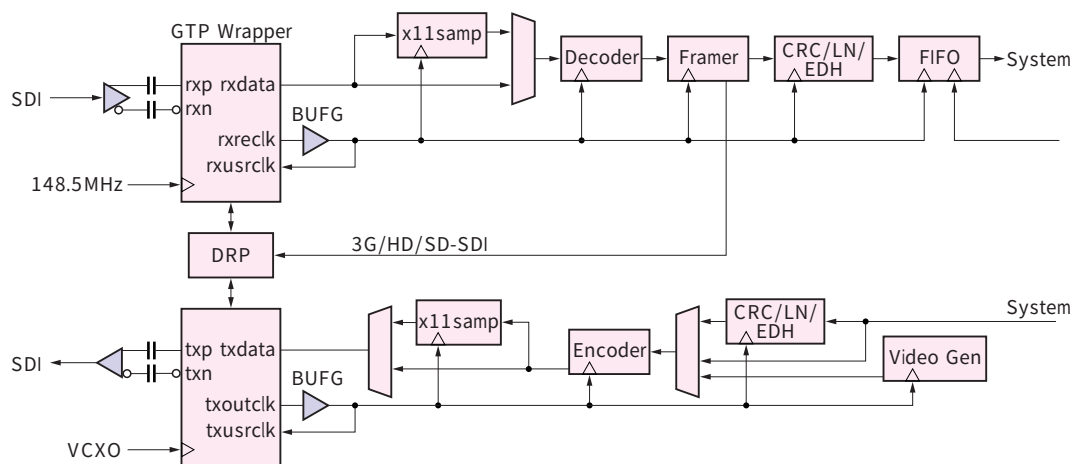
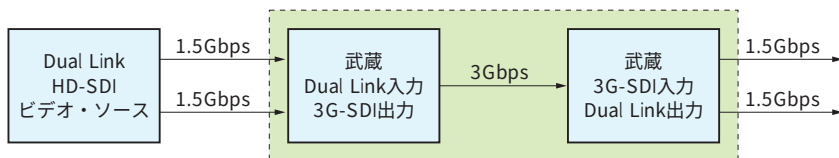


図2
Xilinx社の3G-SDI向け
リファレンス・デザイン
の概要

SMPTE 425Mに記載されて
いるLevel Bをサポートする。

図3
3G-SDIの評価環境

SMPTE 372M Dual Linkを入力し、3G-SDIに変換
し、再度Dual Linkで出力(点線内をSDI評価ボード
「武蔵」で実現)。



タイミング・ジッタ：0.127 UI (Unit Interval)

アラインメント・ジッタ：0.88 UI

●マルチレートに対応するVirtex-5のDRP

続いて、マルチレートSDIデザインについて紹介します。主
要な3種類のSDIは、シリアル・データ・レートが大きく異なる
ため、それぞれのデータ・レートに最適なトランシーバの設

定が存在します。CDR(クロック再生)、PLLの定数設定を
チューニングすることで、SerDesの特性を向上させられます。

しかし、マルチレートSDIは入力信号があらかじめ予測でき
ません。データ・レートおよびフォーマットは混在して入力
されます。この問題を解決した技術がVirtex-5のDynamic
Reconfiguration Port (DRP)です。これは、入力されたデータ
からフォーマットの検出を行い、その検知結果を受けて、動的