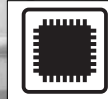


# 基礎から学ぶ Verilog HDL & FPGA 設計

## 第7回

## チャタリング除去回路と LCD 制御回路

中野浩嗣, 伊藤靖朗



デバイスの記事



ビギナーズ

FPGA ボード上にあるスイッチのチャタリングを除去するための回路と、液晶ディスプレイ (LCD) を制御し、16 進数を表示するための回路を設計する。そして、ステート・マシンとカウンタにこれらの回路を付加し、FPGA ボードで動作確認を行う。(筆者)

### ● チャタリング動作

連載第4回(2007年10月号)では、プッシュ・スイッチを押すとカウンタの値が1だけ増加する回路を作成しました。また、連載第5回(2007年11月号)では、プッシュ・スイッチを押すと状態が遷移するステート・マシンを設計しました。

これらの回路を実際に FPGA ボードで動作させると、プッシュ・スイッチを1回押しただけなのに、複数のクロック・パルスが発生し、複数回の動作が一度に起こったように見えてしまうことがあります。これは、**チャタリング**と

呼ばれる現象によるものです。

チャタリングとは、スイッチなどのメカニカルな接点が OFF から ON になる時にスイッチの接点がバウンドし、ON OFF ON OFF ... を短時間に何度も繰り返してから ON になる現象のことです。ON から OFF になるときも同様にチャタリング現象が起こることがあります。

チャタリングが起きるとプッシュ・スイッチを1回押しただけなのに、多くの立ち上がりが発生することになります。カウンタのように、クロックの立ち上がりで動作する回路では、意図しない結果になってしまいます。

図1は、プッシュ・スイッチを押して、離れたときの信号の値の変化を示しています。はスイッチを押していないOFFの状態です。プッシュ・スイッチを押すと、のように、ONとOFFを繰り返す不安定な状態になります。しばらくすると、のONの状態で安定します。次に、スイッチを離すと、のようにONとOFFを繰り返し、のOFFの状態で安定します。

チャタリングの継続時間(やの期間)は、スイッチによって異なり、1ms以下の場合もあれば、数十ms続くこともあります。

### ● チャタリング除去の方法

ここではチャタリングによる短時間のON状態とOFF状態の繰り返しを取り除き、プッシュ・スイッチを1回押しただけには、OFFからONに1回だけ状態変化し、クロックの立ち上がり一つだけになるような**チャタリング除去回路**を設計します。

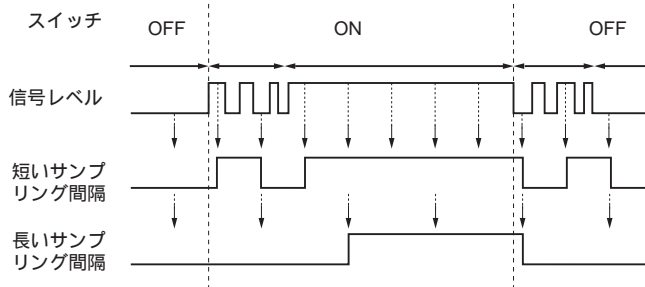


図1 スwitchのチャタリングとチャタリング除去の原理

スイッチが切り替わる瞬間にON状態とOFF状態が繰り返される。サンプリング間隔を や のチャタリングの継続時間より長くすると、チャタリングが除去された信号が得られる。

### Keyword

チャタリング, チャタリング除去回路, 液晶ディスプレイ制御回路, 制御コマンド, 表示データ, 動作確認用回路

チャタリングを除去するためには、図1のチャタリングの継続時間つまり、やの時間よりも長い間隔でプッシュ・スイッチからの入力をサンプリングする方法を取ります。の不安定なチャタリング期間では、入力がサンプリングされるのは、たかだか1回になります。この1回のサンプリングの結果がOFFかONのいずれであっても、一つ前のサンプリング結果はOFFで、一つ後はONなので、OFFからONに変化するのは1度だけになります。のプッシュ・スイッチを押している状態から離れたときも同様です。

図1のように、チャタリング期間より短いサンプリング間隔だと、チャタリングがうまく除去できません。のチャタリング期間で2回のサンプリングがあり、1回目のサンプリングがON、2回目のサンプリングがOFFだとOFF ON OFF ONと変化し、チャタリングが残ってしまいます。

チャタリングが確実に除去されるためには、サンプリング間隔をチャタリング期間より長くする必要があります。ただし、長くしすぎると、プッシュ・スイッチが押されてから、チャタリング除去後の信号がONになる時間が長くなってしまいます。最大チャタリング継続時間の2倍程度がよいでしょう。

チャタリングを除去するために、プッシュ・スイッチからの信号のサンプリングを行う回路を設計します。まず、サンプリングした信号をフリップフロップに記憶します。そのため、プッシュ・スイッチからの信号をフリップフロップの入力とし、一定のサンプリング間隔でその入力をラッチするようにします。すると、フリップフロップの出力は、プッシュ・スイッチからの信号のチャタリングを除去したものになります。

### ● チャタリング除去回路のVerilog HDL 記述

リスト1はチャタリング除去回路のVerilog HDL 記述です。

この回路では、 $N$ 個のスイッチのチャタリング除去を行います。2行目のparameter文で、スイッチの個数 $N$ を設定します。 $N$ のデフォルト値は1です。入力はクロックclkと $N$ 個のスイッチからの信号inです。出力は $N$ ビットのチャタリングが除去された信号outです。

7行目でoutは $N$ ビットのレジスタ型変数と定義されており、 $N$ 個のフリップフロップとなります。このフリップフロップの出力がそのままポートoutに出力されます。

8行目で16ビット・レジスタcountをレジスタ型変数として宣言しています。このcountを、16ビット・カウンタとして使用します。10行目からのalways文で、clkの立ち上がりごとにcountの値をインクリメントするように定義しています。

14行目のalways文で、countの値が0のとき、つまり16'h0000のときレジスタ型変数outはinをラッチします。countは16ビットなので、 $2^{16}$ クロック・サイクルに1回だけ、このラッチが行われます。あとで、入力ポートclkに周期が20ns(周波数50MHz)のクロック信号を入力しますが、 $20\text{ns} \times 2^{16} = 1.3\text{ms}$ ごとに、このラッチが行われることとなります。

今回は約1.3ms間隔で入力をサンプリングするようにはしましたが、スイッチの種類によってチャタリング継続時間は異なります。8行目のcountのビット幅を変更することにより、サンプリング間隔を変えられます。使用するスイッチによって適切な間隔に設定すればよいでしょう。

### ● 液晶ディスプレイ制御回路

Spartan-3E スタータキットおよびSpartan-3A スタータキットのFPGAボードには、図2の2行×16けたの液晶ディスプレイ(LCD)が搭載され、数字やアルファベット、記号、カタカナの表示が可能です。ここでは、液晶ディスプレイを制御し、文字などを表示するための回路について説明します。

液晶ディスプレイ制御はかなり複雑で、本連載で扱う内容を超えるので、概略だけ説明します。

16ビットの値は、16進数では4けたになります。図2のように、液晶ディスプレイにはこの4けたの16進数を6個

リスト1 チャタリング除去回路のVerilog HDL 記述(chattering.v)

```

1 module chattering(clk,reset,in,out);
2   parameter N=1;
3
4   input clk,reset;
5   input [N-1:0]in;
6   output [N-1:0]out;
7   reg [N-1:0]out;
8   reg [15:0] count;
9
10  always @(posedge clk or negedge reset)
11    if(!reset) count <= 0;
12    else count <= count + 1;
13
14  always @(posedge clk)
15    if(count==0) out <= in;
16
17  endmodule

```