

第2章

高速トランシーバとプロトコル処理ブロックで手軽に設計

Stratix IV GXの PCI Expressマクロを使いこなす

荒井航平

ここでは、FPGAが持つ高速トランシーバの機能に注目する。例えば、米国Altera社のStratix IV GXは最大8.5Gbps、Arria GXは最大3.125 Gbpsのトランシーバを搭載している。高速インターフェース設計では、このトランシーバ回路の使いこなしが重要である。また、Stratix IV GXは、PCI Expressのプロトコル処理機能をハード・マクロで搭載している。ここでは、FPGAの高速トランシーバを活用法を解説した後、Stratix IV GX/Arria GXでPCI Expressインターフェースを設計する方法を説明する。 (編集部)

最近のFPGA(Field Programmable Gate Array)には、さまざまな特徴的な回路ブロックが実装されています。その中でも外部とのインターフェースをするための回路ブロックに一つの流れができつつあります。

半導体製造プロセスの進化は約2年周期でやってきます。以前はASIC(Application Specific Integrated Circuit)でなければ達成できなかった高速な内部回路も、製造プロセスの微細化により、FPGAでの実装も困難でなくなってきました。しかし、FPGA内の高速な回路と外部を接続するためには、高速なインターフェースが必要です。そのために、SerDes(シリアルライザ/デシリアルライザ)や、Transceiver(トランシーバ)が搭載されたFPGAファミリが、各FPGAベンダから提供されています。

FPGAで高速インターフェースを実現するためには、各FPGAベンダが提供する開発ツールを用いて、高速インターフェース部をカスタマイズして実装しなくてはなりません。

1 高速トランシーバの役割を理解する

最近のFPGAは、LVTTTL、LVCMOSといったシングルエンドの信号だけでなく、電圧リファレンスのSSTL(Stub Series Terminated Logic)/HSTL(High Speed Transceiver Logic)、差動のLVDS(Low Voltage Differential Signaling)/RSDS(Reduced Swing Differential Signaling)といった多種多様な電気信号規格をサポートしています。Stratix IV GXがサポートするI/O規格の一覧を表1に示します。

● データのシリアル化と差動信号化

近年、システムの性能が向上し、デバイス間、あるいはボード間をインターフェースする際に求められるデータ転送レートが上昇しています。このため、多ビットの平行信号をLVTTTL/LVCMOSでインターフェースすることが困難になりつつあります。

帯域を広げるためには、信号数(データのビット幅)を増やすのが簡単そうです。しかし信号数を増やすことはLSIのピンの増加を意味します。つまりインターフェースに使用するLSIのみならず、基板やその製造コスト上昇につながります。また、多ビットの信号の同時変化は、ノイズ対策面でも不利になります。複数の信号のタイミングのずれの影響でデータ転送クロックを上げられません。

この問題に対する一つの解決策が、複数の信号を束ねて

Keyword

FPGA、高速トランシーバ、Stratix IV GX、Arria GX、PCI Express、SerDes、シングルエンド、差動信号

信号のシリアル化です。複数の信号間の同期が不要になるので、データ転送クロックの周波数を引き上げられます。

高速なシリアル・データ転送を行うためには、LVTTTL

やLVCMOSといったシングルエンド信号(図1)ではなく、LVDSに代表される低電圧の差動信号(図2)を用います。

● データのシリアル化を実現するSerDes

シリアルで信号を送信する際には、SerDes(シリアライザ・デシリアライザ)という機能ブロックが必要です。これは、複数の信号を1本に束ねたり(パラレル-シリアル変換)、1本に束ねられた複数の信号を元に戻す(シリアル-パラレル変換)機能ブロックです(図3)。

また、基準になるクロックも同時に伝送することがあります。このように、データ・チャネルと並走してクロックを供給する手法をソース・シンクロナス(Source Synchronous)とも呼びます。

このSerDesの構成には、PLL(Phase-locked Loop)/DLL(Delay-locked Loop)のようなクロック信号の分周や逡倍といった機能なくしては実現できません。また、送信するクロックも周波数だけでなく、送信するクロックの位相にも注意が必要です。

SerDes部の回路構成は、使用する通信プロトコルにより異なります。FPGAへの実装では、FPGA開発ツールを

表1 Stratix IV GXがサポートするI/O規格

I/O規格	タイプ	主な用途
3.3V LVTTL/LVCMOS	シングルエンド	汎用
2.5V LVTTL/LVCMOS	シングルエンド	汎用
1.8V LVTTL/LVCMOS	シングルエンド	汎用
1.5V LVTTL/LVCMOS	シングルエンド	汎用
1.2V LVTTL/LVCMOS	シングルエンド	汎用
3.0V PCI/PCI-X	シングルエンド	パソコン, 組み込み機器
SSTL-2 Class I/II	リファレンス電圧	DDR SDRAM
SSTL-18 Class I/II	リファレンス電圧	DDR2 SDRAM
HSTL-18 Class I/II	リファレンス電圧	DDR3 SDRAM
HSTL-15 Class I/II	リファレンス電圧	QDR II/QDR II+/RLDRAM II
HSTL-12 Class I/II	リファレンス電圧	汎用
差動SSTL-2 Class I/II	差動	DDR SDRAM
差動SSTL-18 Class I/II	差動	DDR2 SDRAM
差動SSTL-15 Class I/II	差動	DDR3 SDRAM
差動HSTL-18 Class I/II	差動	クロック・インターフェース
差動HSTL-15 Class I/II	差動	クロック・インターフェース
差動HSTL-12 Class I/II	差動	クロック・インターフェース
LVDS	差動	高速通信
RSDS	差動	フラット・パネル・ディスプレイ
mini-LVDS	差動	フラット・パネル・ディスプレイ
LVPECL	差動	グラフィックス, クロック分配

図1

シングルエンド方式

グラウンド(0V)を基準に信号の電圧レベルで“L”/“H”が決まる。3.3V系のTTL規格であるLVTTTLでは、+2.0V以上を“H”レベル、+0.8V以下を“L”レベルとする。

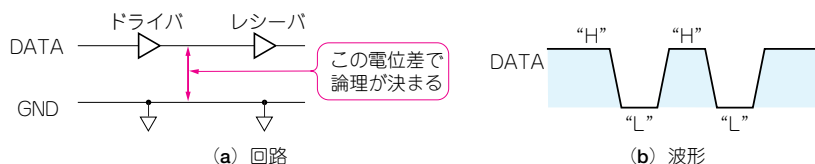


図2

差動方式

差動インターフェースは、一つの信号当たり2本の信号が必ず使われる。二つの信号の電位差が信号レベルになる。例えば差がプラスであれば“H”、マイナスであれば“L”のように認識する。

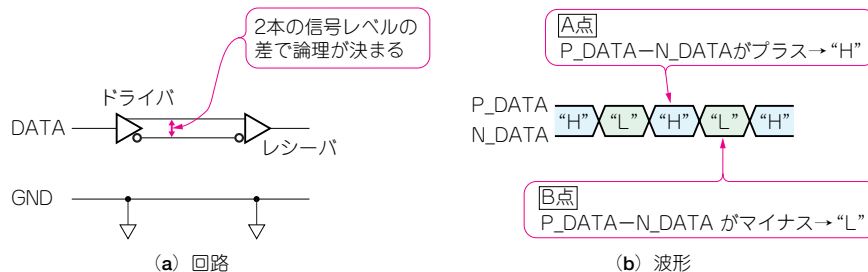


図3

SerDes

シリアライザは、パラレル・データからシリアル・データへの変換。デシリアライザはシリアル・データからパラレル・データへの変換を行う回路である。LVDSでは、SerDesがよく使われる。

