

基礎から学ぶ Verilog HDL & FPGA 設計

第12回

CPUの設計(3)FPGAによる動作確認

中野浩嗣, 伊藤靖朗

前回(2008年11月号, pp.119-124の第12回)は, Verilog HDLで設計したTINYCPUがシミュレーションにより正しく動作していることを確認した。今回はFPGAボードで動作確認を行う。 (筆者)

● FPGAと学習用CPU「TINYCPU」をトップ回路で接続

ここでは, 前回(2008年11月号, pp.119-124の第12回)設計した学習用CPU「TINYCPU」のCPUモジュールtinycpuを米国Xilinx社が提供するFPGAボード(Spartan-3EスタータキットとSpartan-3Aスタータキット)に実装します。

まず, FPGAボードとCPUモジュールのインターフェースの役割をするトップ・モジュールcpu_topを設計します。このトップ・モジュールは, モジュールtinycpu以外に, チャタリング防止回路chatteringとLCD(液晶ディスプレイ)

イ)制御回路lcdctrlもインスタンス化します。

図1は, モジュールtinycpuとFPGAボードの入出力デバイスの接続を表しています。また表1はモジュールtinycpuとFPGAボードの入出力デバイスの接続をまとめたものです。

クロックclkはチャタリング防止回路を通して, ロータリ・プッシュ・スイッチのロータリ・エンコーダの否定(\sim ROT_A)に接続します。ロータリ・プッシュ・スイッチを回転させると, クロック・パルスがclkに入力されます。

リセットresetは下側のプッシュ・スイッチの反転(\sim BTN_SOUTH)に接続します。このプッシュ・スイッチを押すことによりresetが0になり, tinycpu内のフリップフロップやレジスタが0にリセットされます。

runは, ロータリ・プッシュ・スイッチのプッシュ・スイッチ(ROT_CENTER)に接続します。従って, ロータリ・プッシュ・スイッチを押すとrunが1になります。押しながらロータリ・プッシュ・スイッチを回転させるとクロック・パルスが発生するので, tinycpuの状態がIDLEからFETCHAに遷移し, CPUの動作が開始します。

四つのスライド・スイッチ(SW)と三つのプッシュ・スイッチ(BTN_EAST, BTN_NORTH, BTN_WEST)はモジュールtinycpuのinの下位7ビットに接続します。これにより7ビットの値を入力できます。

五つのLEDには, cs==IDLEなどを接続します。LEDの点滅により現在の状態が分かります。

lcdctrlのdata0～data5には, pcoutなどを表1の通り

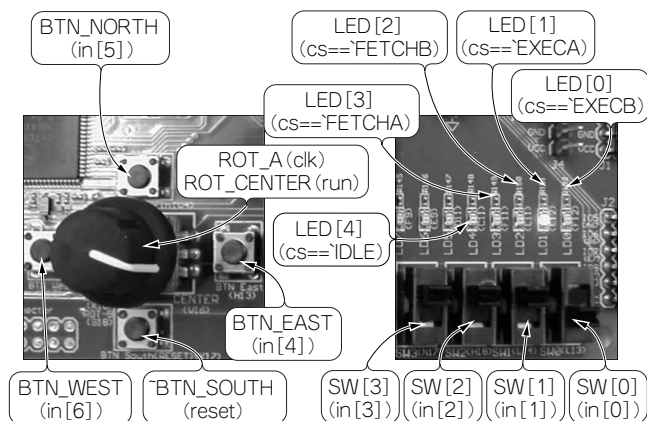


図1 ボード上の入出力デバイスとFPGAトップ・モジュールの信号名

Keyword

Spartan-3Eスタータキット, Spartan-3Aスタータキット, チャタリング防止, LCD制御, トップ・モジュール, ucfファイル, コラッツの問題

tinycpu のポート (*はチャタリング防止を行う)	i/o	cpu_top または lcdctrl のポート	FPGA のボードの 入出力デバイス
clk*	i	~ROT_A	ロータリ・プッシュ・スイッチ のロータリ・エンコーダ
reset	i	~BTN_SOUTH	下側のプッシュ・スイッチ
run	i	ROT_CENTER	ロータリ・プッシュ・スイッチ のプッシュ・スイッチ
in [3:0]*	i	SW [3:0]	スライド・スイッチ
in [4]*	i	BTN_EAST	右側のプッシュ・スイッチ
in [5]*	i	BTN_NORTH	上側のプッシュ・スイッチ
in [6]*	i	BTN_WEST	左側のプッシュ・スイッチ
cs == `IDLE	o	LED [4]	右から4番目のLED
cs == `FETCHA	o	LED [3]	右から3番目のLED
cs == `FETCHB	o	LED [2]	右から2番目のLED
cs == `EXECA	o	LED [1]	右から1番目のLED
cs == `EXECB	o	LED [0]	右から0番目のLED
pcout (プログラム・カウンタ)	o	data0	LCDの左上
irout (命令レジスタ)	o	data1	LCDの中上
qtop (スタック・トップ)	o	data2	LCDの右上
abus (アドレス・バス)	o	data3	LCDの左下
dbus (データ・バス)	o	data4	LCDの中下
out (出力バッファ)	o	data5	LCDの右下

◀表1
モジュールtinycpuとFPGAボードの
入出力デバイス

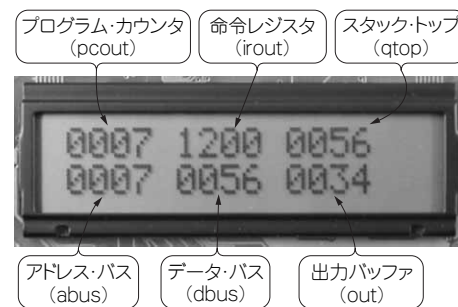


図2 液晶ディスプレイ (LCD) の表示

接続します。従ってLCDには、図2のように、pcout, irout, qtop, abus, dbus, outの現在の値が16進数で表示されます。

● トップ回路と制約ファイルを記述

トップ・モジュールcpu_topは基本的に、命令フェッチ回路に三つのプッシュ・スイッチ (BTN_EAST, BTN_NORTH, BTN_WEST)と四つのスライド・スイッチ (SW)を追加しただけです(リスト1)。これら七つの入力とロータリ・エンコーダの否定(~ROT_A)を加えた8ビットのビット列は、13行目でインスタンス化されたチャタリング防止回路chatteringに入力されます。チャタリングが除

去された出力は、7ビットのネットinと1ビットclkに書き込まれ、そのままtinycpuの入力ポートinの下位7ビットとclkに接続されます。ほかは連載第9回(2008年7月号, pp.123-129)で設計した命令フェッチ回路fetch_topとほぼ同じです。

リスト2は、トップ回路cpu_topのユーザ制約ファイル(ucfファイル)です。このユーザ制約ファイルをプロジェクトに追加します。また、メモリramには前回用いたカウントダウンを行うプログラムで初期化されているものを用いることにします(リスト3)。そして、cpu_topの回路情報を表すビット・ファイルcpu_top.bitを作成し、FPGAボードにダウンロードします。

リスト1 TINYCPUのトップ回路のVerilog HDL 記述 (cpu_top.v)

```

1  module cpu_top(CLK50MHZ, ROT_A, ROT_CENTER, BTN_SOUTH, BTN_
    EAST, BTN_NORTH, BTN_WEST, SW, LED, LCD_E, LCD_RS, LCD_RW, SF_D);
2
3  input  CLK50MHZ, ROT_A, ROT_CENTER, BTN_SOUTH, BTN_EAST,
    BTN_NORTH, BTN_WEST;
4  input  [3:0] SW;
5  output [4:0] LED;
6  output LCD_RS, LCD_E, LCD_RW;
7  output [11:8] SF_D;
8  wire  clk, reset;
9  wire  [2:0] cs;
10 wire  [6:0] in;
11 wire  [15:0] data0, data1, data2, data3, data4, data5;
12
13  chattering #(8) chattering0(.clk(CLK50MHZ),
    .reset(reset), .in({BTN_WEST, BTN_NORTH, BTN_EAST,
    SW, ~ROT_A}), .out({in, clk}));
14  lcdctrl lcdctrl0(.clk(CLK50MHZ), .reset(reset),
    .lcd_e(LCD_E), .lcd_rs(LCD_RS), .lcd_rw(LCD_RW),
    .sf_d(SF_D), .data0(data0), .data1(data1),
    .data2(data2),
    .data3(data3), .data4(data4), .data5(data5));
15  tinycpu tinycpu0(.clk(clk), .reset(reset),
    .run(ROT_CENTER), .in({9'h000,in}), .cs(cs),
    .pcout(data0), .irout(data1), .qtop(data2),
    .abus(data3), .dbus(data4), .out(data5));
16
17  assign reset = ~BTN_SOUTH;
18  assign LED[4] = (cs==`IDLE);
19  assign LED[3] = (cs==`FETCHA);
20  assign LED[2] = (cs==`FETCHB);
21  assign LED[1] = (cs==`EXECA);
22  assign LED[0] = (cs==`EXECB);
23

```