

完・全・理・解

最新技術の基本と製品総覧

システム・オン・シリコンの実現に向けて発展を続ける ASICの現状と今後

畠山 昌三

ASICは、1チップのLSIでシステムを構築する「システム・オン・シリコン」の実現には不可欠なデバイスです。

ASICは、このような期待とシステム・ソリューションのキー・デバイスとして、目覚ましい勢いでテクノロジーが進歩してきました。デバイスの微細化技術では半導体テクノロジー・ドライバとも言われるDRAMと肩をならべ、パッケージングでは常に最新の技術を採用しています。また、設計環境ではCAD技術の進歩によって設計の自動化・高精度化が実現されてきています。

このようなASICの急激な進歩により、

ますます市場は拡大していくものと予測されます(図1)。

本稿では、デバイス・テクノロジー、マクロライブラリ、設計環境、パッケージの点からASICの技術動向を解説し、今後の展望を述べます。

技術動向

デバイス・テクノロジー

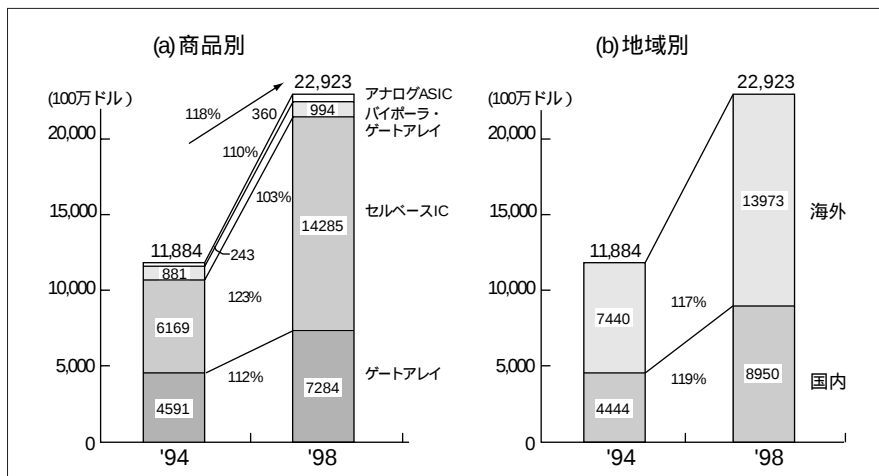
ASICのデバイス・テクノロジーを支える基盤は、プロセス技術と設計技術に大きく分けられます(図2)。

プロセス技術

プロセス技術では、微細加工、多層配線、低電圧といった要素技術が革新的に進歩してきました。数年前には1.0 μm 以下のサブミクロン・プロセスでの製品化は難しいという声やさやかかれていましたが、今やディープ・サブミクロンと呼ばれる0.25 μm 製品の実用化が進んでいます。

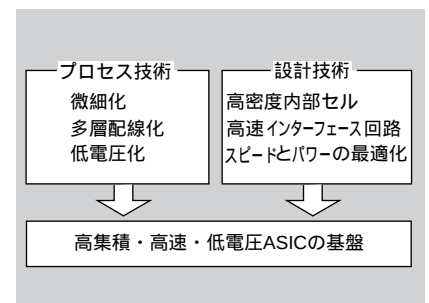
設計技術

設計技術では、プロセス技術を利用して内部セルの高密度化、外部デバイスとの高速インターフェース対応、また内部セルのスピードとパワーの最適化を実現



〔図1〕ASIC市場の成長予測

出典: Dataquest社 March 95



〔図2〕ASICの基盤技術

してきました。

このようにデバイス・テクノロジーの進歩は高集積化、高速化、低電力化を実現する大きな基盤となっています(図3、図4、図5、図6)。

マクロライブラリ

システム・オン・シリコンの流れの中で、システムの核を構成する汎用CPUやアプリケーションに特化した高機能回路のマクロライブラリ化は着実に進展しています。

CPUマクロコアでは、Z80などの8ビットCISCをはじめ、16ビットCISC、32ビットRISCがマクロコア化されています。今後、64ビットRISCなど、先端のプロセッサが次々にマクロコア化されていくことでしょう。

また、従来は汎用製品の形で使用されていたDSPやオーディオ用のD-A/A-Dコンバータ、PLLなどのマクロライブラリ化も行われてきています。

今後、特にマルチメディアや移動体通信分野といった急成長が予想される分野で必要とされる組み込みIP(Intelligent Peripheral)マクロ、たとえばMPEG2の

CODECマクロなど、数多くのライブラリ化が予定されています。

設計環境

ASICにおいて設計環境は、たいへん重要な要素です。

特に近年の50万～100万ゲートの大規模ASICの設計では、自動化と高精度化を可能にするCAD技術が必須とされています。

論理合成とレイアウト

最近の大規模な回路の設計では、主として論理合成が使われるようになっていきます。これはゲート・レベルでの設計に限界が見えてきたのと、言語から回路を合成するコンパイラの技術が確立されてきたことによります。

今後はさらに上位の階層(システム・レベル)での設計情報がそのまま下位の階層(レイアウト・レベル)の設計に反映できるフォワード・アノテーション手法の進歩により、論理合成による設計手法がより一般的になっていくものと考えられます。

スキュー調整

大規模な回路では、一つのクロック信

号を数千のフリップフロップに供給しなければなりません。このような場合、クロック信号の遅延によるクロック・スキューの問題が発生します。これに対し、レイアウト手法であるクロック・ツリー・シンセシスが有効な手段になってきています。

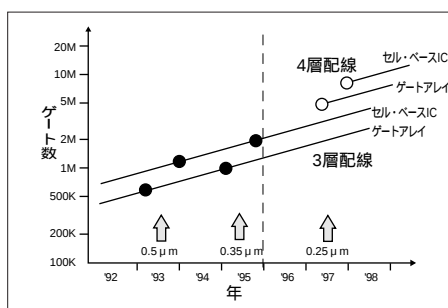
また、100MHz以上のクロックに対応するため、従来の等長配線手法から、さらに一歩進んだ等遅延配線手法が導入されてきています。これはその名のとおり配線遅延を計算しながら配線する方法です。これによりクロック・スキューを100ps以下に抑えることが可能になってきています。

配線の隣接交差容量の考慮

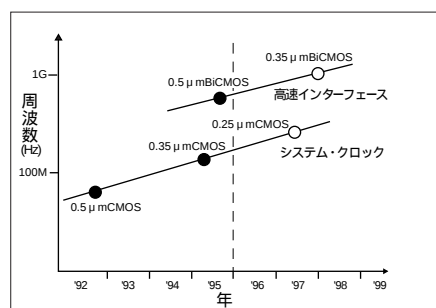
微細化されたLSIでは配線の間隔が非常に狭くなるため、配線容量を見積る際、交差や隣接する配線の影響を無視することができません。

そのため、配線結果から隣接・交差パターンを解析し、配線容量を抽出する手法が導入されています。

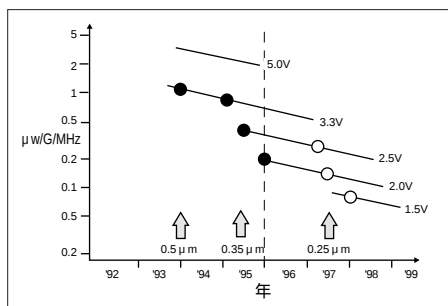
また、内部を伝播する信号は配線の容量や抵抗によりなまってしまいます。遅延値のテーブル・データを各プリミ



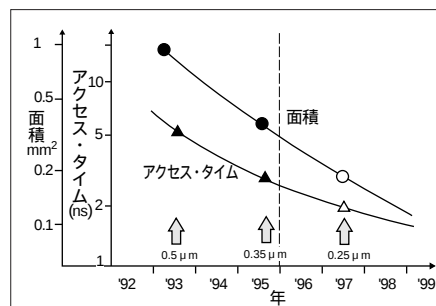
〔図3〕ASICの高集積化の変遷



〔図4〕ASICの高性能化の変遷



〔図5〕ASICの低消費電力化の変遷



〔図6〕メモリ・マクロのテクノロジーの変遷
512ワード×8ビットの例