

最新技術解説

フラッシュ・メモリ・プロセスによる10万ゲートのFPGA

GateField 100Kシリーズ

渡部 宏昭

はじめに

本稿では、ZYCAD社のゲートフィールド100Kシリーズ(以下: GateField)を取りあげ、そこで使われているフラッシュ・メモリ技術を紹介します。

ZYCAD社は、大規模な回路に対する

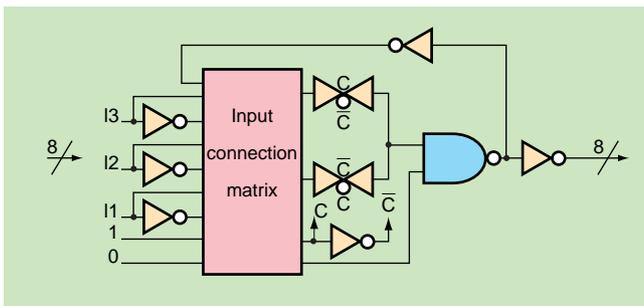
シミュレーションやフォルト・シミュレーションでのシステム検証の高速化を実現するために、ハードウェア・アクセラレータと呼ばれる専用ハードウェアを提供してきた会社です。1993年に、検証ツールとしてFPGAを利用したエミュレーション・システムの開発が計画され、価格、性能、ゲート使用効率などの問題が

検討されました。その結果、新たな専用のプログラマブルLSIの必要性がわかりました。こうして生まれたプログラマブルLSIは、単なるエミュレータ用LSIではなく、新世代のFPGAといえるものになったのです。

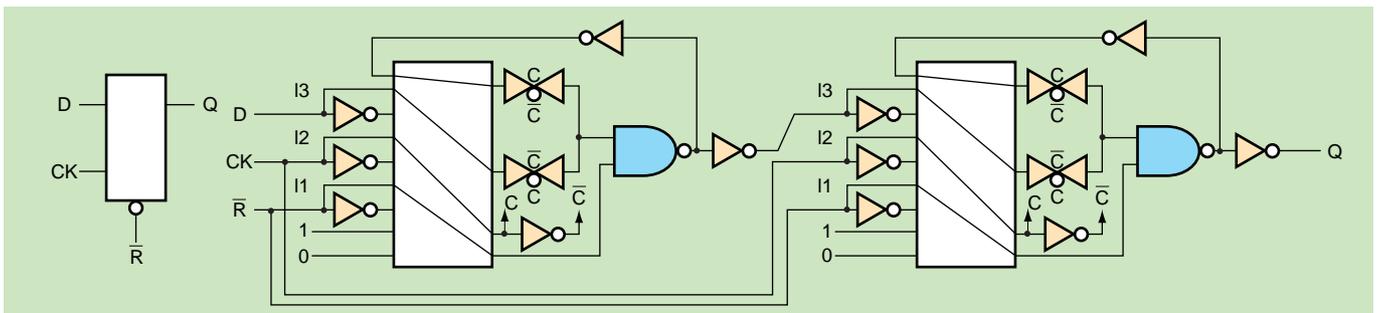
GateFieldの特徴

GateFieldのもっとも特徴的なことは、プログラム・セルにフラッシュ・メモリを用いたFPGAだということでしょう。

フラッシュ・メモリはSRAM方式と異なり、一度書き込めば電源を切ってもその情報は記憶され、何度でも書き換えが可能です。このフラッシュ・メモリを用いることで、プログラムのスイッチ・セルのサイズを従来のSRAMタイプに比べ1/7に縮小でき、ゲート密度で2倍



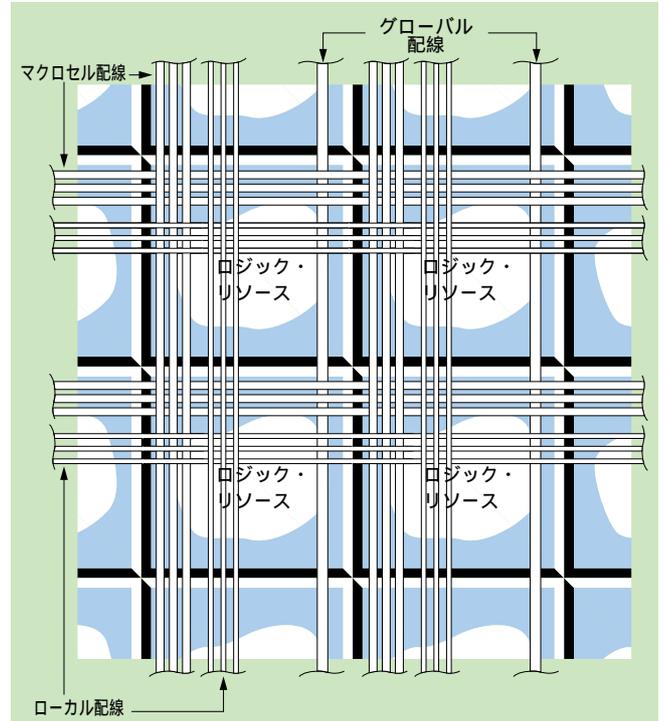
〔図1〕タイルの構成



〔図2〕フリップフロップの構成例



〔写真1〕GateFieldの外観



〔図3〕Sea-Of-Tile

から4倍のFPGAを実現することができます。

またロジック・セルは小型化されており、Sea-Of-Tileと呼ばれるゲートアレイに近いアーキテクチャが採用されているので、HDLと論理合成を用いたトップダウン・デザインにより適した構成になっています。

これらの技術により、GateFieldは従来のFPGAにくらべ、アレイ規模の拡大と生産コストの削減が可能となります。

基本セルの構成

GateFieldは、タイルと呼ばれる基本論理ブロックにより構成されています。図1にタイルの論理的な構成を示します。

1タイルは、ASICのゲート換算で5ゲート相当の論理であり、ランダム・ゲートまたはラッチのどちらでも実現できます。また、タイル内には配線リソースが含まれています。図2にタイルを用いたフリップフロップの例を示します。

大規模な論理ブロックを用いた場合のように回路規模が論理ブロックのサイズを越えると大幅に動作性能に影響を及ぼ

すという問題がありました。しかし小規模な論理ブロックを用いることによって、このような問題を回避できます。

Sea-Of-Tile

GateFieldは、ゲートアレイで使われているSea-Of-Gateのように、基本セルであるタイルを縦横に反復して敷き詰めたSea-Of-Tile(図3)という新たなアーキテクチャを用いています。このような構成をとることにより、回路内で用いられているフリップフロップとランダム・ゲートの構成比率によるアレイの使用効率のばらつきがなくなり、設計された回路のゲート規模とFPGAで実現されるゲート規模、またはタイルの使用効率の予測が容易になります。

配線

チップ内は3種類の配線により接続されています。

一つはローカル配線です。隣のタイルに直接接続され、ゲートアレイでマクロセルに用いられるメタルと同様な機能をはたします。

二つ目の配線はロング・ラインです。比較的長い距離の接続を行うためのものなので、必要に応じて自動的にバッファが追加されます。

最後の配線は、グローバル配線です。クロックやリセットなどの負荷の重い信号や信号のスキューが問題となる信号に用いられます。

入出力バッファ

入出力バッファは、電源、グラウンド、プログラム・ピンを除きすべてプログラマブルであり、入力、出力、入出力、3状態出力に自由に設定できます。また、出力では3種類のスルー・レート・コントロールが、入力ではCMOS、TTLが選択できます。

開発環境

GateFieldの目標は、ASICの設計者が新たな負担なく使用できるFPGAの開発環境を提供するところにあります。そこで、できるだけ現状のユーザの開発環境をそのまま利用できるようなってい