

第2章

DACに見る EDA最新トピックスとテクノロジー

柴下 哲

第1章のレポートでも取り上げたように、今年のDesign Automation Conferenceでは、EDA製品のPCプラットフォームへの対応、ディープ・サブミクロン時代への対応、ハードウェア/ソフトウェア・コデザインによるシステム・レベル設計への対

応といった大きな流れがありました。

この章では、DACで注目されたEDAの最新トピックスの中からディープ・サブミクロンとシステム・レベル設計の二つを取り上げ、技術的な側面から詳しく解説します。

1. ディープ・サブミクロン時代のASIC設計の問題と展望

はじめに

ASICは表1に示すように、1989年には最大250万トランジスタ、動作周波数100MHzでしたが、ディープ・サブミクロン時代とともに、1995年には0.35 μm のプロセスにより、1,000万トランジスタ、動作周波数300MHzになりました。さらに1998年には0.25 μm の製造プロセ

スで、2,100万トランジスタ、動作周波数450MHzが可能と予測されています。

しかし、ディープ・サブミクロン化により利用可能なASICの性能や規模が大きく向上していく反面、実際に設計したり製品化するとすると、二つの大きな問題に直面します。一つは大規模化の問題であり、もう一つはディープ・サブミクロンでの寄生的な要素の増加による物理的、製造的な問題です。

まず、このディープ・サブミクロンの問題点について見てみましょう。

ディープ・サブミクロン時代の 問題点

大規模化

図1に示すように、1987年ころの設計者は回路図ベースの設計手法で、200ゲート/週的设计を行っていました。しかし、1995年には2,000ゲート/週的设计ができなければ、最新のASICを使いこなせなくなりました。

このため、設計手法はHDLと論理合成をベースとした手法に変化しましたが、さらに、今後の最先端のASICを使いこなすためには2万ゲート/週的设计ができなければならないため、システム・ベースの設計手法への変革が必要となります。もう一つの大規模化の問題として、適

〔表1〕ASICの製造プロセス

年	1989	1992	1995	1998	2001	2004	2007
プロセス(μm)	0.7	0.5	0.35	0.25	0.18	0.13	0.1
トランジスタ数(M)	2.5	5	10	21	46	110	260
動作周波数(MHz)	100	175	300	450	600	800	1000

出典：SIA National Technology Roadmap for Semiconductors - 1994
M.P.Brassington, IEEE 1995 CICC, 0 - 7803 - 2584 - 2/95

応する場所が難しくなったことがあげられます。図2に示すように、従来のASIC化では、いかに多機能になったとはいえ、百万ゲートのASICを使用する場所はほとんどの製品においてありません。このため、メモリやペリフェラルを取り込んできましたが、今後はCPUやDSPなども取り込まなければ、ある程度の複数のASICに分割されてしまい、これ以上の小型化を進めることは不可能となります。

寄生的な要素の増加

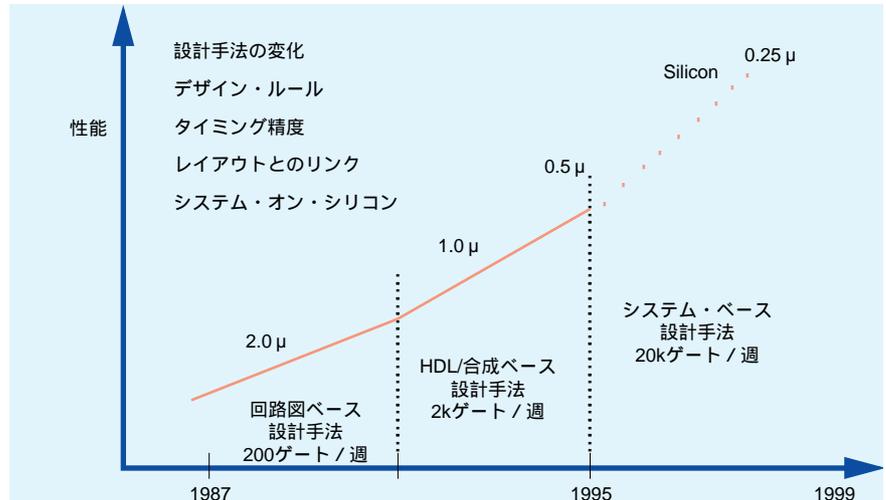
配線遅延のような、意図しないで生じる寄生的な要素が大きくなるため、解析の努力は指数的に増大します。おもな問題として以下の点があげられます。

- ・配線遅延がゲート遅延より大きい
- ・線間のクロストークによる信号ノイズ
- ・エレクトロ・マイグレーション
- ・生産の信頼性低下

表2のように、プロセスが微細化するにつれ、ゲート遅延は小さくなりますが、それと等価な配線遅延をもたらす配線長も短くなっていきます。このことは、非常に配線が長くなるクロックやリセット信号では特に問題となります。0.35 μm では、チップを横切る配線のRC遅延はクロックの1周期の幅と等しくなるため、クロック・スキューを周期の5%以下にするには、論理面、物理面を通したクロック・ツリーの設計が必要となります。

また、線間の距離が狭く、周波数が高くなることにより生じるクロストークの問題が、特にバス配線では重大となります。図3に示すように、キャパシタンスの総量はプロセスが微細化するにつれ増大しますが、その内容は0.35 μm を境に大きく変わります。信号と基盤間より隣接する配線相互間のキャパシタンスが大きくなり、これによるクロス・カップリングが問題となります。

また、電源の低電圧化により、これらによるノイズの問題はより深刻なものとなります。表3に示すように、高集積化すると、MOSトランジスタの耐圧の問題などで、電源電圧を低くする必要があ



〔図1〕設計手法の変化

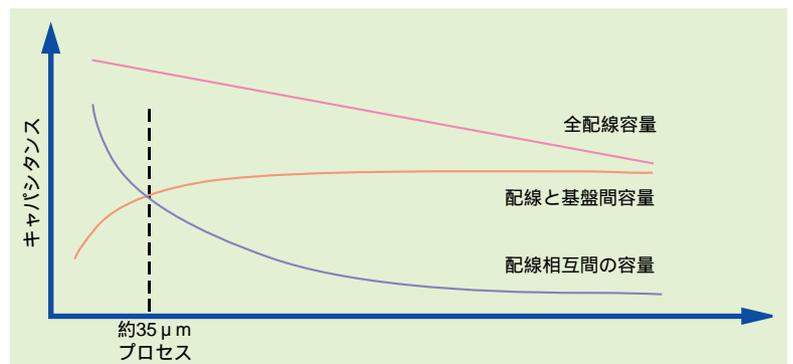
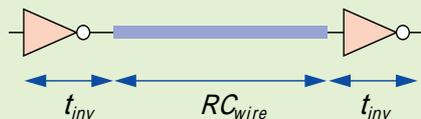


〔図2〕ASICの大規模化

〔表2〕寄生要素の影響

年	1989	1992	1995	1998	2001	2004	2007
プロセス (μm)	0.7	0.5	0.35	0.25	0.18	0.13	0.1
インバータの遅延 (ps)	140	120	90	70	50	30	20
Wire $RC_{tc} = \text{inv delay}$ (μm)	3416	2582	1879	1393	906	390	235

RC_{tc} : インバータの素子遅延と配線遅延が等しくなる定数



〔図3〕キャパシタンス量とデザイン・ルール