

B²Logic3.0はラバー・バンド機能をもった回路図エディタ付きで、簡単に配線が行えます。複雑になりがちなデジタル回路の配線も、B²Logic3.0ではバス配線やネット・コネクタなどのデバイスを使ってわかりやすく表現することができます。

回路を作成するには図1に示すように画面右側のライブラリ・パレット上で部品名をダブル・クリックし、そのままドラッグして適当な位置に部品を配置したあと各部品間を配線していきます。

配線は、矢印カーソルのまま部品のノードをドラッグして、引っ張り出すようにすれば簡単に配線することができます。

配線カーソルを選択すると、連続して配線することができます。シングル・クリックで目的のノードに接続され、ダブル・クリックするとその連続した配線の終端になります。

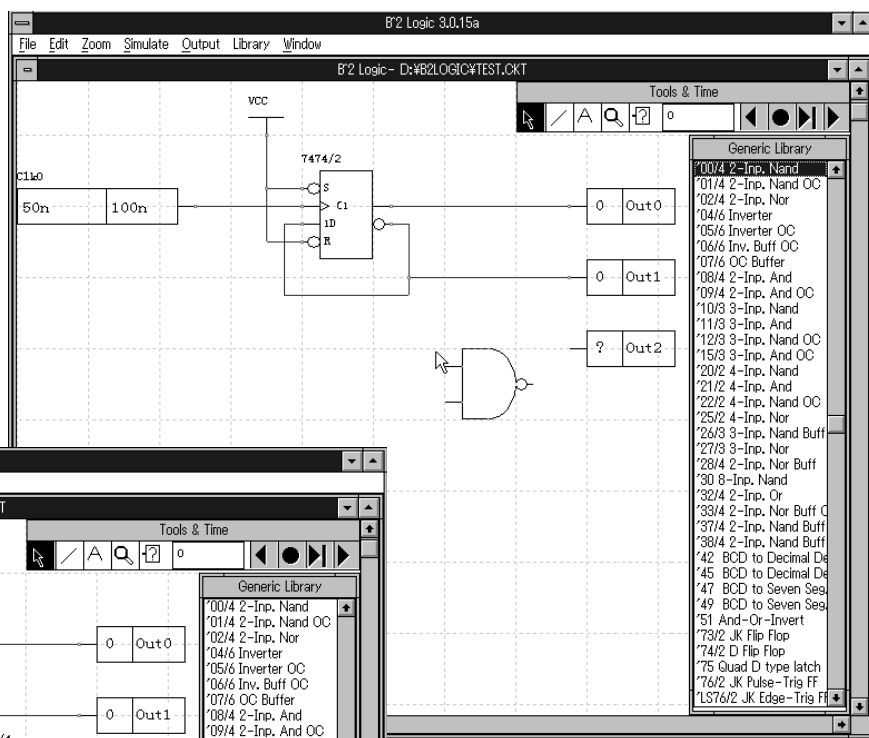
OutputメニューでShow Traceを選択すると図2のようなトレース・ウィンドウが現れます。このウィンドウには、回路図上に設置

したクロックや出力ポートのロジック・レベルが表示され、観測したい信号だけを選択することができます。

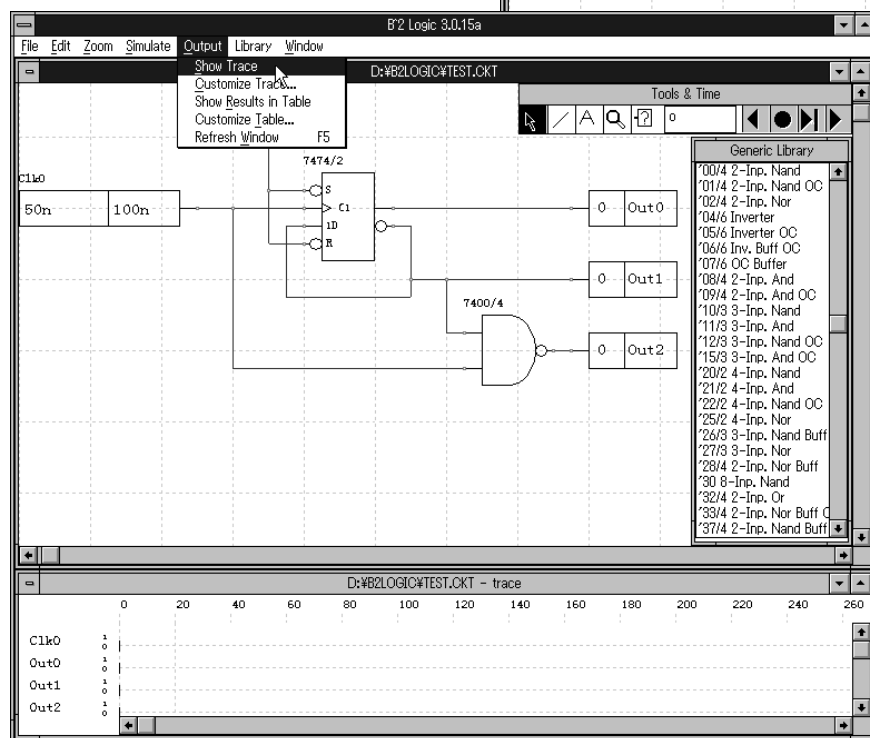
画面右上にあるビデオ・レコーダのような操作ボタンで、シミュレーションを実行します。ボタンの機能は左から順に、リセット/停止/ステップ/連続実行です。右向き三角の連続実行ボタンをクリックすると図3のようにトレース・ウィンドウに波形が描かれていきます。そして、黒丸の停止ボタ

ンをクリックすると停止します。ステップ・ボタンを1回クリックするごとに、設定したステップ時間だけシミュレーションが進みます。

SimulateメニューのSet Step Intervalに、ステップ・ボタンを押したときに進む時間を入力するとステップ時間が設定できます。OutputメニューのCustomize TraceでTrace Intervalを調整すると、トレース・ウィンドウの横軸（時間軸）の表示ステップを制



〔図1〕 部品のライブラリ・パレット



〔図2〕トレース・ウィンドウ

御できます。トレース・ウィンドウ上でクリックすると、その場所での経過時間が表示されます。

クロック・デバイスの入力はパルス幅と周期を独自に設定できます。入力ポートは画面上のON/OFFスイッチのように手動で設定できますが、コマンド・ファイルによりシミュレーションの自動実行も可能です。

コマンド・ファイルは次のような簡単な命令の記述でありながら、かなり自由な制御ができます。

Reset 初期状態にリセット
Set X 1A 入力ポートXを1Aの値に設定
Go 100 100nsまで時間を進める

付属のライブラリはスタンダード/LS/ACT/FCTなどに分かれており、Libraryメニューから読み込んで、使用するライブラリを選択します。

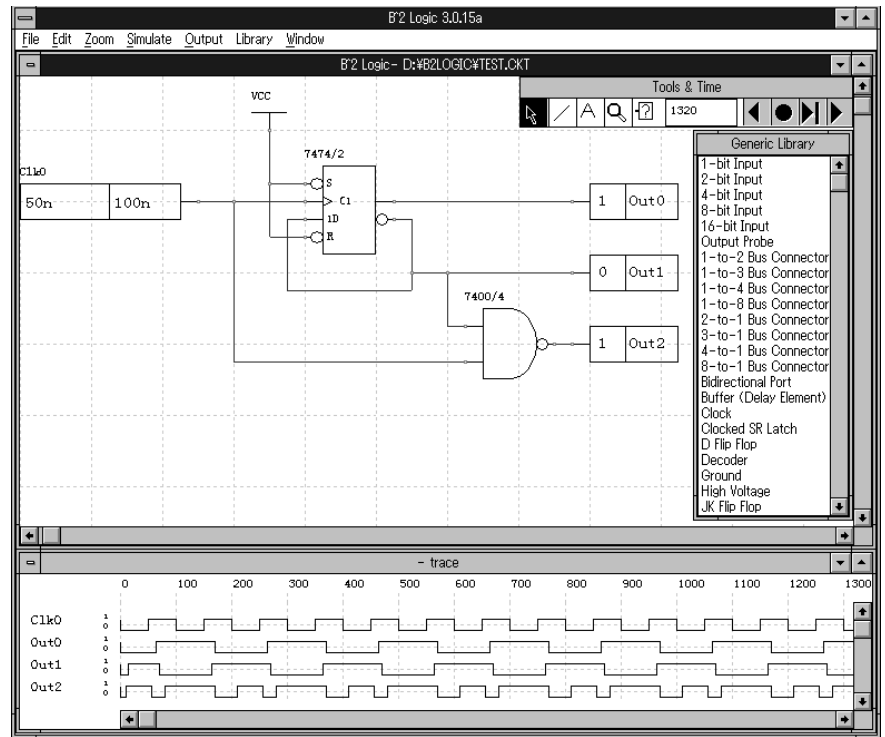
各デバイスのパラメータはデータ・シートに準拠していますが、設定を変更したいときにはダブル・クリックするだけで変えることができます。

まず、図4のような設定ダイアログが現れ、各種ディレイなどが調整できます。汎用PLDデバイスやサブサーキットで回路の一部を簡略化して表現し、さらにバス配線やネット・コネクタで配線をまとめると大きな回路図であっても、わかりやすく把握することができます。

デジタル回路はHDLなどで記述する開発方法が広まってきました。しかし、学校での教育用や企業の新人研修用、またホビー用途などには回路を直感的に把握できるスキマティック入力方式のシミュレータのほうが向いているように思えます。

付属CD-ROMに収録されているデモ版では使えるデバイス数が10個までに制限されていますが、この範囲内で解析可能なサンプル回路を添付しましたので、ぜひお試しください。なお、B²Logic3.0は16ビット・アプリケーションですが、Windows95およびWindowsNT環境でも問題なく使用できます。

いわたに てつお
有限会社そらコンピュータ・プロダクツ



〔図3〕 波形のようす

Model Properties

Pin Delays

No.	Name	Min	Typ	Max	Min	Typ	Max
1:0		14.0n	14.0n	25.0n	20.0n	20.0n	40.0n
1:1		14.0n	14.0n	25.0n	20.0n	20.0n	40.0n

Power Dissipation

Icc 8m A

CMOS (AC) parameters

Cpd x F

C in x F

I-il x A

I-ih x A

I-ol 1 A

I-oh -1 A

Set-up Time 20N Ns

Hold Time 5N Ns

Max Clk Freq x Hz

Minimum Typical Maximum

Tplh 4n 14n 25n

Tphi 20n 20n 40n

Set All Pins

Title 7474/2

Description '74/2 D Flip Flop

EDIF title LS74

OK Cancel

☐ CMOS Technology

☒ TTL Technology

〔図4〕 デバイス・モデル設定ダイアログ