

第2章

大規模デジタル/アナログ混在回路の設計/検証期間を短縮する

アナログHDL設計手法

遠山 直也

はじめに

自社以外の複数のIP(設計コア, 機能ブロック)を組み合わせたシステム設計は近い将来, システム・オン・チップ技術の標準化をめざしたVSI(Virtual Socket Interface)技術の普及とともに, 広く行われていくと予想されます。現時点でさえも, マルチメディア機器をはじめ複雑

なアナログ信号やデジタル/アナログ混在信号を扱う電子機器の需要は急激に成長し, 設計者は大規模混在回路のシミュレーション, IPの再使用, HDL(ハードウェア記述言語) 庄体のトップダウン設計など, 先端の設計手法が必要となってきました。

とりわけ, 複雑なデジタル/アナログ混在回路ICでは, 設計時間の大半はアナログ回路に使われます(図1)。しかし,

先端の設計手法はいずれもデジタル専用アプリケーションの対応となり, 大規模なD/A混在回路のシミュレーションをトランジスタ・レベルで行うには限界があります。

今日, デジタル設計では普及したVerilog-HDLやVHDLによる設計手法をアナログに応用したアナログHDL設計手法が脚光を浴びています。アナログHDLによる設計は, アナログ・モデルの開発を単純化し, 従来のシステムと比較して10倍から100倍の速度でアナログ回路や混在回路のシミュレーションを可能にします(図2)。

本稿では, アナログHDLを使うCadence社の設計環境とその運用事例を紹介します。

アナログ設計記述言語登場の背景と現状

コンバージェンス市場

今後の電子産業の成長を支えるのは, 「コンバージェンス市場」であると予測されています(図3)。

「コンバージェンス市場」とは, 通信やマルチメディア・コンピューティングのなかで, 電子メール機能と携帯電話端末などのように複数の技術要素が組み合わされて一体となった市場です。単なるコンピュータとは異なり, コンバージェンス市場のシステムの大半はデジタル/アナログ混在回路の性格が強く, 既存

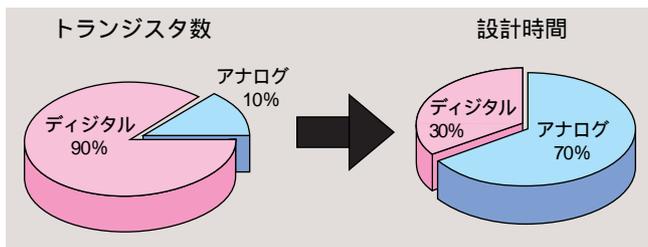


図1 アナログ部は回路規模に比べて設計時間が長い

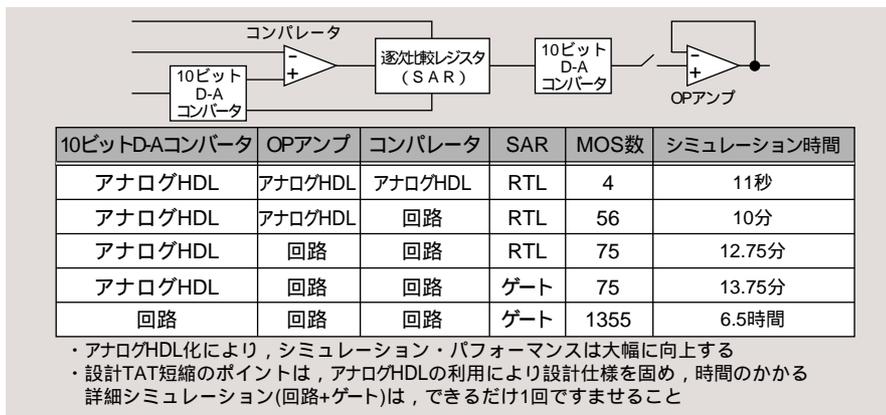


図2 AHDLのパフォーマンス



イラスト：佐藤 重

図3 コンバージェンス市場の製品

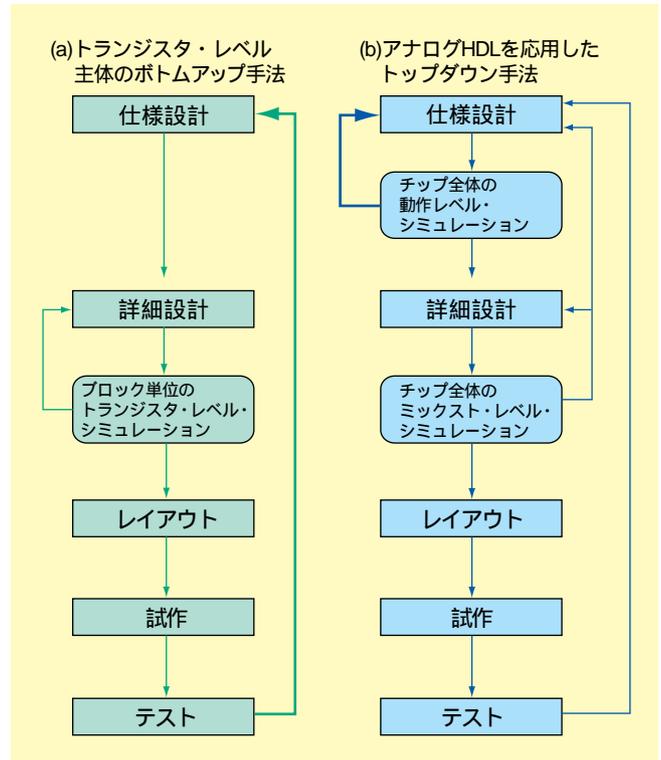


図4 ボトムアップとトップダウン、両設計手法の比較

のデジタル専用の設計手法だけでは設計者のニーズに完全に応えることは不可能になっています。

デジタル/アナログ混在設計の問題
現時点では、デジタル/アナログ混在設計において以下のような基本的な問題が明らかになっています。

(1) ミックスド・レベル・シミュレーションが必要

アナログおよびデジタル/アナログ混在回路設計用のミックスド・レベル・シミュレーションが必要になります。

VHDLやVerilog-HDLを含むデジタル動作シミュレーションでは、アナログやデジタル/アナログ混在回路設計の精度や「ドメイン」条件を扱うには精度が不足し、また十分な記述を行うことができません。アナログ回路用のシミュレータとして業界標準となったSPICEも、最新の複雑なデジタル/アナログ混在回路設計を扱うには速度が遅すぎます。

(2) アナログHDLの標準がない

アナログ動作シミュレータは存在するのですが、アナログHDLにはまだ標準がないため、ユーザは専用のアナログHDLモデル・ライブラリへの投資を積極的に行えないのが現状です。

また、モデル開発者も、異なるシミュレータを使用するユーザ間のモデル活用を積極的に推進できません。

(3) 既存アナログHDLは複雑

専用のアナログHDLでは、初期生成が複雑で学習が困難なことが、ユーザによるモデリングへの投資をさらに躊躇させる原因となっています。

(4) 設計ツールがそろわない

デジタル/アナログ混在回路設計者にとっては、状況はさらに困難です。

現状では、ユーザはアナログ・セクション用とデジタル・セクション用の2種の互換性のないHDLを使用して作業を行わざるを得ません。また、ユーザがアナログHDLを使用したくても、使用しているデジタル・シミュレータと組み合わせできるシミュレータを入手できません。

アナログHDLに対する取り組みの例

アナログHDLを用いたトップダウン設計

従来、アナログ回路の動作検証はSPICE系のシミュレータを用いてトランジスタ・レベルで解析して行うのが一般的でした。しかし、トランジスタ・レベルでの解析は数千素子程度のシミュレーションが事実上の限界であり、システム設計の誤りや、ブロック間の結線ミスを完全に取り除くことは非常に困難です。そのため、チップを試作しテストして初めて誤りに気付くことも多く、そこで失われる時間的なロスがビジネス上致命的となる場合が多くなります。

アナログHDLを用いることで、デジタル/アナログ混在回路のトップダウン設計が可能になります。これにより、設計の早期段階でシステム構成を確認し、修正することができます。これは従来の設計手法に比べ、システム全体をどう構成するかといった「方式検討」がより