

高速パルス伝送は平行ペア配線で完璧

高速デジタル回路用プリント基板設計技術 の実験的考察

大塚寛治

今日、パソコンをはじめとするデジタル機器のクロック周波数は目を見張るような速度で高くなっています。このような高い周波数をもつ信号を長い配線長のプリント基板上で処理するにはどうすればよいかを解説することにししょう。

高速化に取り残される 基板設計技術

- 高速データ処理が行えるCPU内部
まず、コンピュータ内部がどのようなになっているのか調べてみましょう。

図1はIntel社のPentiumの基本構造の概要です。心臓部であるALU(数値演算ユニット)が2個、それぞれ32ビットのバスに並列につながり、レジスタからデータをフェッチし、最高200MHzのクロック周波数で演算しています。

したがって、図1に示すように、ALUは1秒間に1.6Gバイトの処理ができることになります。すなわち、これがPentiumの最大処理能力となります。この速度でデータをレジスタからフェッチしないとその能力が発揮できません。そこに接続されている配線は、この速度で信号を伝える能力がなければなりません。ICチップ上ならばそれが可能です。

- 外部バスのデータ転送は遅い

一方、外部にあるメモリや入出力回路とPentiumチップの間は遠く離れているため、高速な周波数で走らせることができず、今のところクロックは最大でも66MHzとなっています。

メモリの動作周波数とバス幅の積を「バンド幅」といいます。外部バスのバンド幅をこの周波数レートで計算すると図1に示すように、連続してデータを取り出す最高速のモードで528Mバイト/sとなります。これはCPUの能力のわずか1/3しかデータが流せない値です。ここではCPU本来の能力がまったく発揮できないことになります。

- 拡大するCPUの要求バンド幅

一方、CPUの要求バンド幅は今後さらに拡大し続けるであろうことが予想されています。

このようすを示すと図2のようになります。この図に示すように、バンド幅は2000年には高速のCPUチップで1,000,000 Mバイト/s、すなわち、1T(テラ)バイト/sになるであろうといわれています。

図1 Pentiumチップとバスのバンド幅

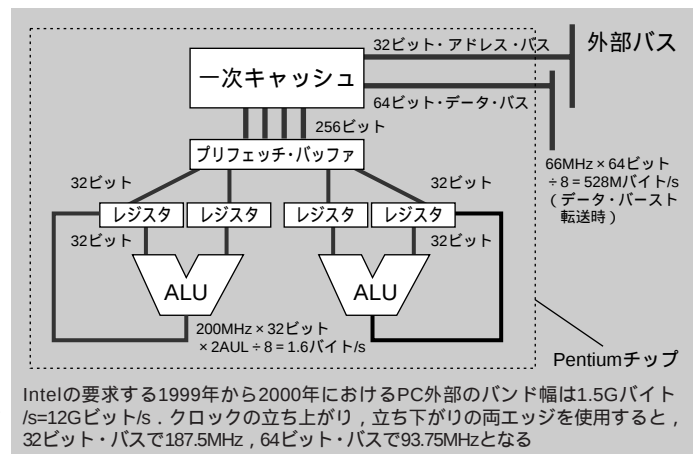
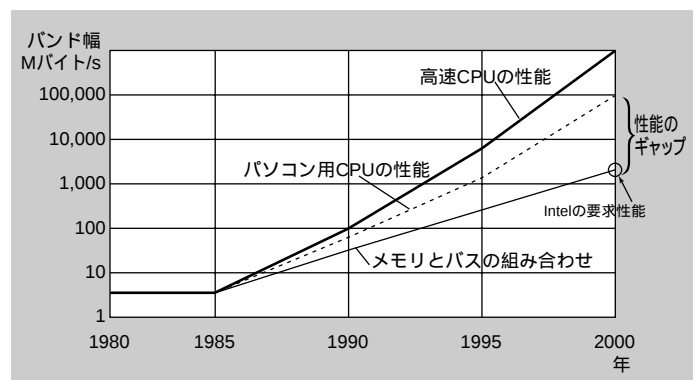


図2 CPUとメモリのバンド幅の推移



パソコン用に使用されるCPUチップでも100,000Mバイト/sすなわち100Gバイト/sになるはずですが、これは現状の値よりさらに50倍も増大することが予想される値です。

● 追いつけない外部メモリ

これに対し、回路基板上では配線の高速化への対応ができず、前述のように基板上でのバスの周波数は66MHzのままで、半導体メモリもこの周波数に合わせています。

Intelは1999年にはバンド幅が1.5Gバイト/sになるようシステム・メーカに要求しています。それでも図2のようにだんだんとCPUとの実力の差が開いていきますが、デバイス自体の高速化の努力は続けられています。

● 立ちおくれる基板の配線技術

CPUをはじめデバイスの高速化の努力が行われているなかで、プリント基板上の配線については高速にするという努力がほとんど見られません。

なぜ、このようなことになっているのでしょうか。おそらく、デジタル回路ばかりを設計してきた人は、電磁気学が関与する高速伝送工学に弱いからではないでしょうか。

基板上での伝送特性の実験

● 伝送特性の実験の概要

筆者の研究室で、プリント基板上の伝送特性を実験⁽⁷⁾した結果を示します。図3にこの実験に使用した基板の種類を示します。10cmの長さの信号配線の前後に高速CMOSロジック SN74LVC245DB：

Octal Bus Transceiver)のドライバとレシーバを付け、信号波形を見たものです⁽⁷⁾。

● 各基板の構造

タイプAは信号線の隣に電源線とグラウンド線をペアに配置した1層(片面)のガラス・エポキシ基板(FR-4)です。300μmのライン/スペース間隔で導箔の厚みは35μmです。

タイプBとタイプCは4層基板で信号配線の下にベタのグラウンドと電源を配置したものです。Bは信号のすぐ下にグラウンド、さらにその下に電源を配置し、Cはその逆としました。層間絶縁膜の厚みは300μmです。層間にベタの電源やグラウンドを入れることは高速な配線基板の設計の常識となっているため、この効果を確認することが目的です。

タイプDはグラウンド線と電源線をやや離れたところに配置する一方、そのソースとシンクはドライバ側に配置し、いわゆるスタブ配線(Stub配線：行き止まり配線)としたものです。これは信号のリターンのない配線であり、高速信号の伝送のことをまったく考慮しない基板の配線といえます。

● 単純な単層ペア配線基板が最良の結果

この実験の測定系を図4に、印加パルスの波形を図5に、使用した高速CMOSロジックの仕様を表1に示します。図6のパルス立ち上がり時間は1ns、CMOSドライバの立ち上がりは測定から2ns以下であり、これは166MHzのパルス伝送特性を考慮した実験となります。

実験結果のドライバ側の波形とレシーバ側の波形を示すと図6のようになります。これらの波形はほとんど同じように見えますが、オシロスコープ内の測定機能で立ち上がり特性、立ち下がり特性および遅延時間を見ると、図7のようになります。この図に示すように実験結果に明らかな差が見られます。

図より単層ペア配線のタイプAが高速信号に対して最良の結果が得られることがわかります。なぜベタ・アース基板のタイプB、Cが最良とならなかったのか

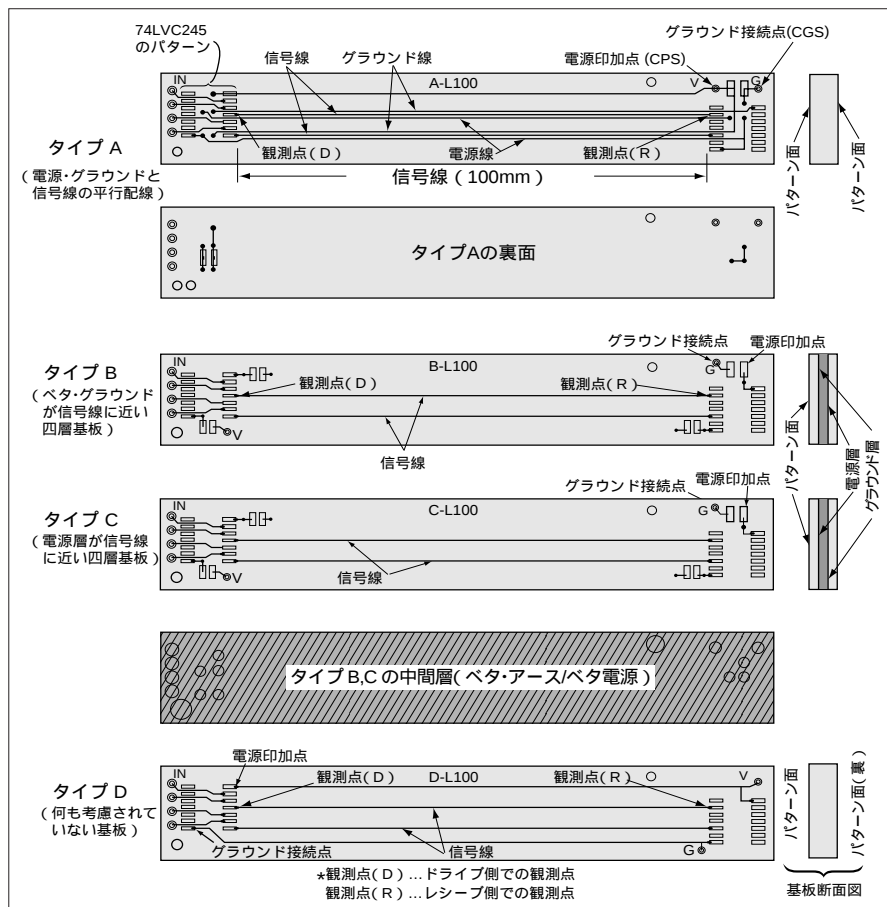


図3 実験に用いた各基板のバターンとその断面図