

第1章

体験的「HDL + 論理合成」パラダイム・シフト論

-- 回路図設計からHDL設計へ転換するための問題と対策 --

石井 健裕



デジタル回路設計の基本を「HDL + 論理合成」としているところも多いだろう。一方で、「回路図入力設計のパラダイムから移行したいのだが、ふんぎりがつかない」あるいは「パラダイム・シフトを試みたが失敗した」と悩んでいるところも少なくないだろう。ここでは、セット・メーカーがいかに関パラダイム・シフトを行ったか、そのシステム管理者にレポートしてもらった。たんなる啓蒙活動だけでは、現場に支持される形でパラダイム・シフトを行えないという。その試行錯誤の中に、ツールを使ったハードウェア開発の本質を見ることができる。（編集部）

はじめに

半導体のテクノロジーの進歩により、大規模なASICを低価格で開発して使用できるようになってきた。それだけでなく、筆者らにとってはASIC開発の必然性が高まっている。セット・メーカーは、競合他社との競争に打ち勝つために、高機能

な製品を低価格でタイムリに市場に投入する必要がある。それを実現するためには大規模ASICの採用は避けて通れない。筆者の所属するブラザー工業も最大規模のASICでは、ユーザ・ブロックだけで20万ゲートを超す設計を経験するようになった(図1～図3)。

また、競合他社との開発競争のなかで、ASIC開発期間は数年前の約半分にまで短くなっている。具体的には5万ゲートの開発期間が6ヵ月であったのに対して、現在は20万ゲートの開発期間でも3ヵ月である。数年後には「100万ゲートの開発を2ヵ月で行うことになる」と予測している(ゲート規模はユーザ・ブロックの大きさ)。

筆者らは1989年に回路図ベースの論理シミュレータからEDAツールの導入を開始し、その後HDLシミュレータ、論理合成ツール、テスト設計ツールなどの導入を行い、設計のパラダイム・シフトを経験してきている。また今後も、上記の理由から、さらなる開発期間の短縮へ向けての投資と業務改善をつねに進めていか

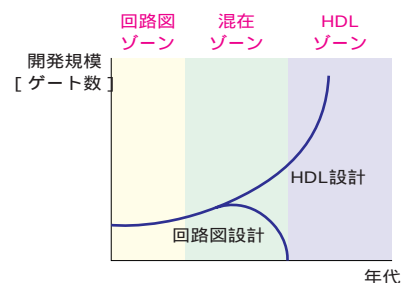
なくてはならないと覚悟している。

*

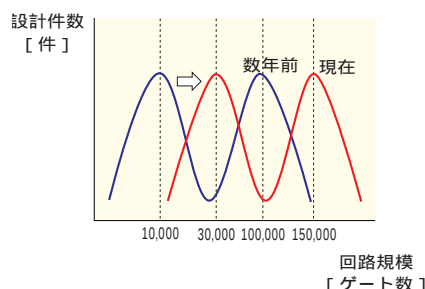
筆者は、システム管理者としてEDAツールの導入・有効活用を推進してきたが、汎用ツールを導入しただけでは、設計者(EDAユーザ)になかなか利用してもらえないことを実感した。結果を先にいうと、筆者らの場合、設計者のニーズを満たすべくリターゲティング・システム“QT(QuickTarget)”を自社開発したことをきっかけにEDAツールのパラダイム・シフトがスムーズに行えた。現在では、HDLと回路図が混在する開発環境で社内IP(設計資産)の有効活用を行い、開発期間の大幅な短縮が可能になってきている。

本稿では、筆者らが経験したEDA導入・活用事例を、EDAツールの導入からHDL設計へのシフトの失敗と成功、

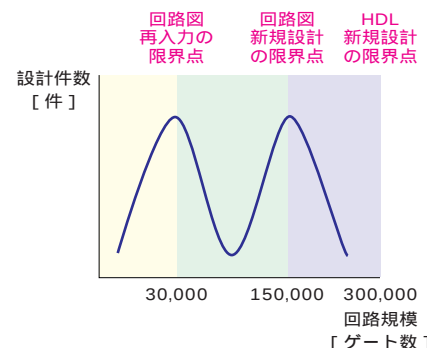
回路図ベースのリターゲティング・システムの開発、社内IPの構築とパラダイム・シフトの3回に分けて紹介していきたい。



【図1】回路図設計からHDL設計への移行



【図2】ASIC回路規模の推移



【図3】ASIC開発の限界点(期間3ヵ月)

EDA ツールの導入と
パラダイム・シフトの要求

「FPGA と ASIC の開発を
統合したい」という現場の要求

WS 版 EDA ツールの導入

1989年にワークステーション(WS)版のASICベンダに依存しない汎用EDAツール(Mentor Graphics社 Idea station)を初めて導入した。それまではパソコン(PC)版のASICベンダに依存する専用ツールで開発していたが、ASICの規模が大きくなりPCでは開発が困難になった。これがWS版EDAツール導入の理由の一つであった。また、汎用のツールでASIC開発の内製化を進め、ノウハウや設計資産の蓄積をはかることも目的の一つであった。

現在では、機能設計から論理シミュレーションまでを社内で行うネットリスト・インターフェースでASIC開発をしている。しかし、当時は仕様書を渡し、ASICを開発を回路設計段階から外部に委託する「仕様書インターフェース」による開発も多く行っていた。

また当時大規模ASICと呼んでいたのは1万ゲート以上のもので、筆者らが開発していたASICはすべて数千ゲートの規模だった(当時1万ゲート以上のASIC開発は未知の世界であった。いまなら経験者が行えば1人で3週間、新人に任せても2ヵ月で開発する規模になってしまったが...)。

ASIC 開発事例と設計資産に
ならない回路図

EDAツールを導入してから1万ゲート規模のASICを同じASICベンダで2品種開発した。会社の方針でその後、別のASICベンダを利用することになった。新しいASICベンダでの開発が始まり、そのときに設計者からの要望で新しいASIC開発用デザイン・キットのインストールを行った。じつは、このときに初めてある重要なことに気付いた。それは「回路図はすべてASICベンダのライブラリ(回路

図シンボル)を使って作成されている。つまり、テクノロジーに依存していて、将来の設計資産にならない」ということである。設計者はあたりまえに思っていることを、システム管理者の筆者はまったく理解していなかったのだ。

最初の2品種の開発では、EDAの導入はEDAベンダの技術者が行い、次にASICベンダの技術者がデザイン・キットのインストールと環境設定を行った。そのため、筆者自身が何も気付かないまま開発は終わっていた。

筆者はEDAツールを担当する前には2次元の機械系CADのサポートを担当していた。機械系CADはツールの統一さえ行えば設計資産の再利用ができたので、当初、EDAツールの導入さえ行えばいいといった勘違いをしていたのだ。じつは、この勘違いはその後長い間EDAをサポートする上での大きな問題になったのである。

ASIC/FPGA の開発事例

1991年になり、開発するASICの規模が3万ゲートになったときに試作用FPGAの開発に新しいスタイルを試みた。

従来、FPGAとASICをシリアルに開発していたのだが、開発期間を短縮するためにコンカレントな開発に切り替えた。一つの仕様書をベースに1人の設計者がFPGAを、ほかの2人の設計者がASICをそれぞれ設計したのである。

プロジェクトとしてはFPGAの評価も順調に行きASICも問題なく開発できたが、この形態では開発要員が多くなってしまふ。当時のFPGAはゲート規模が小さく、動作速度も遅かった。そのため、ASICと同じ回路では動作確認ができないという判断で、FPGA専用の回路を設計する必要があったのだ。この方法によって仕様の確認はできたものの、ASICの動作確認という意味では疑問が残る結果になった。また、開発に使用したEDAツールもFPGAとASICでは異なり、テスト・パターンも別々だった。

この開発事例から、試作用FPGAから量産用ASICをいかに効率よく開発するかという課題が明確になった。

HDL 言語設計の導入

HDL 普及の契機

ASIC ベンダでの論理合成

社内でHDLをASIC開発に利用したのは1990年が最初であった。WS版のEDAツール(回路図エディタ+ゲート・レベル・シミュレータ)を導入したばかりで論理合成ツールは、まだ導入検討すら行っていなかった。そもそも当時の筆者は、論理合成の存在すら知らなかった。

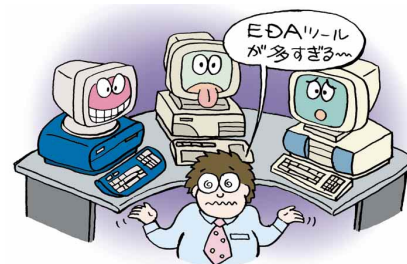
当時、製品の高性能化のために、ソフトウェアで処理している部分をハードウェアに移植しようとした。そこでハードウェア化することが困難なデータ処理のブロックが見つかった。ソフトウェアで記述すれば(if then ~ else then ~ end if)の形式で簡単に記述できるが、回路にするのは厄介である。データ処理のパターンの組み合わせが非常に多いためだ。

ASIC開発では、ASICベンダにこの部分の論理合成をまかせた(いま話題のRTLサインオフのはしりだったか?)。

最初の事例はこのような形であったが、設計者が「HDL設計」の効果を知るといった意味では十分効果があった。そして、「HDL設計が、開発の効率と資産の活用」の点で、必ず回路図入力的方式に取って代わる」と確信した。

研究開発部門への導入

自社でのHDLによる開発はそれから2年後の1992年が最初だ。利用したのは研究開発部門であった。新しい試みをする場合、協力を得やすい部門である。開発



設計環境を統一したい(社内では各社各様のASIC, FPGA/PLD EDA ツールを使っていた)