特集
システムASIC攻略ハンドブック

メガ・ゲート設計検証，IP活用，デザイン・プランニング

第1章 ASICサインオフの過去・現在・未来
微細化と自動化を両輪として走り続けた20年/佐久間 洋 ――――――――20

APPENDIX●ASICベンダ各社のライブラリ・サポート状況/編集部 ――――25

第2章 静的タイミング解析ツールの攻略法
扱える回路の制約を設計の初期段階から意識しよう/中井健太 ――――――28

第3章 サイクル・ベース・シミュレータの攻略法
初心者がはまりやすい六つの罠に要注意/厚目葉子 ――――――――――35

第4章 フォーマル・ベリファイアの攻略法
課題も多いが効果も絶大，小さな回路から始めよう/中西早苗 ――――――42

第5章 フロアプランとレイアウトの攻略法
警告！「信号遅延」，「信号の完全性」に由来するトラブルが急増中/箕輪政幸 ―49

第6章 IPの攻略法
とらえどころのないIPの実態を冷静に見つめよう/抜山知二 ――――――54

第7章 次世代の設計戦略
レイアウトに手を出しますか？ RTLサインオフを要求しますか？/編集部 ――58

大規模ASIC設計の難度が急激に上がっている．今後は，大規模ASICの自社開発を続けられる機器メーカと，脱落する機器メーカに分かれる，という見方もある．同時に，ASICを提供する半導体メーカの技術サポート力の差も表面化し始めている．

0.35μmプロセス以降，こうした動きが顕著になった．原因は，「回路規模」，「動作周波数の上昇」，「配線遅延やクロストークの影響の増大」，「大規模回路ブロック（いわゆるIP）の搭載」などである．残念ながら，これらの問題をスマートに解決する方法は，今のところ見あたらない．機器メーカのASIC設計者と半導体メーカの顧客サポート部門が協力して目の前のトラブルをひとつひとつ乗り越えていく以外に道はない．

本特集では，100万ゲート以上の大規模ASICを開発する際に不可欠となる設計ツールやIPの課題，ASIC設計者が陥りやすいトラブルなどについて解説する．また，ASICの新しい受発注形態として注目を集めるRTLインターフェースの最新動向についても紹介する．